

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

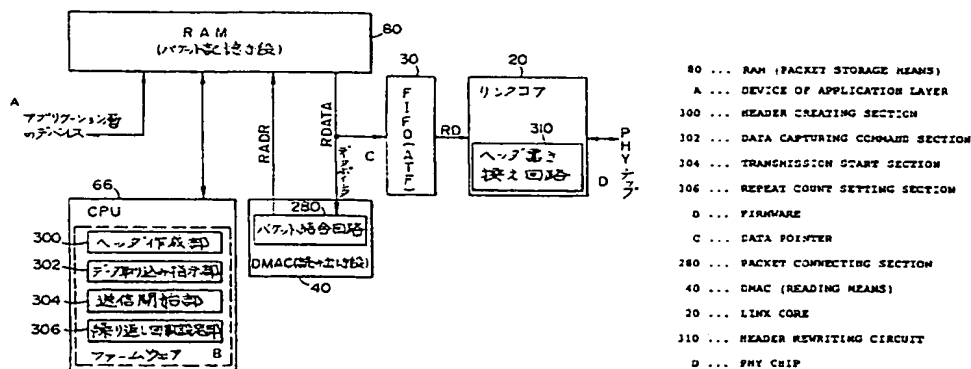
**THIS PAGE BLANK (USPTO)**



(51) 国際特許分類 G06F 13/00, H04L 29/00	A1	(11) 国際公開番号 WO00/25217  (43) 国際公開日 2000年5月4日(04.05.00)
(21) 国際出願番号 PCT/JP99/05904  (22) 国際出願日 1999年10月26日(26.10.99)  (30) 優先権データ 特願平10/321489 1998年10月27日(27.10.98) JP  (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 石田卓也(ISHIDA, Takuya)[JP/JP] 神原義幸(KAMIIHARA, Yoshiyuki)[JP/JP] 和田文利(WADA, Fumitoshi)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 井上 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)	(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)  添付公開書類 国際調査報告書	

(54) Title: DATA TRANSFER CONTROLLER AND ELECTRONIC DEVICE

(54) 発明の名称 データ転送制御装置及び電子機器



(57) Abstract

A data transfer controller and electronic device realizing high-speed data transfer with a small processing overhead and with a small-scale hardware. In transferring data of the IEEE1394 standard, a packet connecting circuit (280) reads out the header and data of a packet from the header and data areas of a RAM (80) and connects them. While a header CRC is created, a data pointer is acquired. It is judged according to code whether the header is read or the data is read, and the header pointer or data pointer is incremented. While the data is written in a data area, the header is created. While a packet is sent out from a channel separating a transmission packet area, data is captured in another channel. By using a connection pointer, packets of other channels are successively read, the ACK code from the transfer destination is returned to write it in a channel of the sender. The basic header is rewritten to create headers in order, and packets are successively transferred until the repeat count is decreased to zero.

(57)要約

処理のオーバーヘッドを軽減し、小規模なハードウェアで高速なデータ転送を実現できるデータ転送制御装置及び電子機器を提供することが目的である。IE E E 1 3 9 4 のデータ転送において、パケット結合回路 (280) が、パケットのヘッダ、データをRAM (80) のヘッダ、データ領域から読み出し結合する。ヘッダCRCの生成期間を利用してデータポインタを取得する。ヘッダ、データのいずれが読み出されているかをt c o d eにより判断し、ヘッダポインタ又はデータポインタをインクリメントする。データ領域へのデータ取り込みの間にヘッダを生成する。送信パケット領域を分離する1のチャネルからパケットが送信されている間に他のチャネルへデータを取り込む。連結ポインタを用いて他のチャネルのパケットを連続して読み出す。転送先からのACKコードを送信元のチャネルに書き戻す。基本ヘッダを書き換えてヘッダを順次作成し、繰り返し回数が零になるまでパケットを連続転送する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャド
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN キニア	MD モルドヴァ	TJ タジキスタン
BK ブラジル	GW キニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TL トルコ
CF 中央アフリカ	HU ハンガリー	マリ	TR トリニダード・トバゴ
CG コンゴ	ID インドネシア	ML モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MN モリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MR マラウイ	US 米国
CM カメルーン	IN インド	MW マラウイ	UZ ウズベキスタン
CN 中国	IS アイスランド	MX メキシコ	VN ヴェトナム
CR コスタ・リカ	IT イタリア	NE ニジェール	YC ユーゴスラビア
CU キューバ	JT 日本	NL オランダ	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NO ノルウェー	ZW ジンバブエ
CZ チェッコ	KG キルギスタン	NZ ノーランド	
DE ドイツ	KP 朝鮮	PL ポーランド	
DK デンマーク	KR 韓国	PT ポルトガル	
		RO ルーマニア	

## 明 細 書

## データ転送制御装置及び電子機器

## 〔技術分野〕

本発明は、データ転送制御装置及びこれを含む電子機器に関する。

## 〔背景技術〕

近年、IEEE 1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE 1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE 1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE 1394のバスには、プリンタ、スキャナ、CD-Rドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

このようなIEEE 1394の概要については、例えば「IEEE 1394 ハイ・パフォーマンス・シリアルバスの概要」(Interface Apr. 1996の1～10頁)、「PC周辺機器用バス規格群総覧」(Interface Jan. 1997の106頁～116頁)、「IEEE 1394-1995 (FireWire) のリアルタイム転送モードとマルチメディア対応プロトコル」(Interface Jan. 1997の136～146頁)に開示されている。また、IEEE 1394に準拠したデータ転送制御装置としては、テキサス・インスツルメンツ社製のTSB12LV31などが知られている。

しかしながら、このIEEE 1394に準拠したデータ転送制御装置には次のような課題があることが判明した。

即ち、現在のIEEE 1394規格によれば最大で400Mbpsの転送速度が実現可能となっている。しかし、現実には、処理のオーバーヘッドの存在に起

因して、システム全体の実転送速度はこれよりもかなり低くなっている。つまり、CPU上で動作するファームウェアやアプリケーションソフトが、送信データを準備したり、受信データを取り込んだりするなどの処理に多くの時間を要してしまい、バス上での転送速度が速くても、結局、高速なデータ転送を実現できない。

特に、周辺機器に組み込まれるCPUは、パーソナルコンピュータなどのホストシステムに組み込まれるCPUに比べて処理能力が低い。このため、ファームウェアやアプリケーションソフトの処理のオーバーヘッドの問題は、非常に深刻なものとなる。従って、このようなオーバーヘッドの問題を効果的に解消できる技術が望まれている。

#### [発明の開示]

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ファームウェアやアプリケーションソフトなどの処理のオーバーヘッドを軽減し、小規模なハードウェアで高速なデータ転送を実現できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、ランダムアクセス可能な記憶手段が、上層によりパケットの制御情報が書き込まれている制御情報領域と上層によりパケットのデータが書き込まれているデータ領域とに分離されている場合において、パケットの制御情報を前記記憶手段の前記制御情報領域から読み出し、該制御情報と対をなすパケットのデータを前記記憶手段の前記データ領域から読み出すパケット結合手段と、読み出されたパケットを各ノードに転送するためのサービスを提供するリンク手段とを含むことを特徴とする。

本発明によれば、ランダムアクセス可能な記憶手段が制御情報領域とデータ領域とに分離されている。そして、制御情報領域には、例えばファームウェアなどの上層により制御情報が書き込まれ、データ領域には、例えばアプリケーションソフトやファームウェアなどの上層によりデータが書き込まれている（取り込まれている）。そして、本発明では、パケット結合手段が、制御情報領域から制御

情報を読み出すと共に、データ領域から、この制御情報と対をなすデータを読み出し結合する。そして、制御情報とデータとによりフレームが構成されるパケットが、リンク手段を介して各ノードに転送される。

本発明によれば、上層は、パケットを送信する順序に依存せずに、制御情報やデータを記憶手段に書き込める。また、上層は、送信すべきパケットのデータをデータ領域に連続して書き込むこともできる。また、制御情報領域の制御情報とデータ領域のデータとを結合してパケットを組み立てる処理に、上層が関与する必要がない。以上により、本発明によれば、上層の処理負担を格段に軽減できるようになる。

また本発明は、前記パケット結合手段が、前記データ領域から読み出されるデータのアドレスを指すデータポインタを、前記制御情報領域から読み出された制御情報から取得し、取得したデータポインタを用いて前記データ領域からデータを読み出すことを特徴とする。このようにすれば、制御情報と対になるデータを適正にデータ領域から読み出せるようになると共に、制御情報とデータとを結合しパケットを組み立てる処理の簡素化を図れる。

また本発明は、前記パケット結合手段が、パケットの制御情報のエラーチェック情報を前記リンク手段が生成する期間を利用して、制御情報からデータポインタを取得することを特徴とする。このようにすれば、処理時間に無駄が生じるのを防止でき、処理の高速化を図れる。

また本発明は、前記パケット結合手段が、パケットの制御情報が読み出されていると、パケットの制御情報に含まれるパケットフォーマット識別情報に基づき判断した場合には、前記制御情報領域から読み出される制御情報のアドレスを指す制御情報ポインタを更新し、パケットのデータが読み出されていると、前記パケットフォーマット識別情報に基づき判断した場合には、前記データ領域から読み出されるデータのアドレスを指すデータポインタを更新することを特徴とする。このようにすれば、制御情報ポインタの更新処理とデータポインタの更新処理を、パケットフォーマット識別情報を利用して切り替え、パケットの制御情報とデータとを結合できるようになる。これにより、制御情報とデータの結合処理の簡素

化を図れる。

また本発明は、前記データ領域へのデータの取り込み処理の間に、制御情報を作成し該制御情報を前記制御情報領域に書き込む制御情報作成手段と、データの取り込み処理と制御情報の書き込み処理の両方が完了したことを条件に、パケットの送信開始を命令する送信開始手段とを含むことを特徴とする。このようにすればデータの取り込み処理と、制御情報の生成及び書き込み処理とを、並列に行うことができ、処理の効率化を図れるようになる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、ランダムアクセス可能な記憶手段の送信パケット領域が複数のチャンネルに分離されている場合において、前記複数のチャンネルに格納されるパケットの中で、データの取り込み処理と制御情報の書き込み処理の両方が完了したパケットの送信開始を命令する送信開始手段と、送信開始が命令されたパケットを、送信パケット領域の対応するチャンネルから読み出す読み出し手段と、読み出されたパケットを各ノードに転送するためのサービスを提供するリンク手段とを含むことを特徴とする。

本発明によれば、記憶手段の送信パケット領域が複数のチャンネルに分離される。そして、パケットの準備（データの取り込み処理及び制御情報の生成及び書き込み処理）が完了し、送信開始手段が送信開始を命令すると、対応するチャンネルからパケットが読み出され、送信される。従って、本発明によれば、1のチャンネルからのパケットの送信開始を命令した後に、その送信の完了を待つことなく、他のチャンネルのパケットを準備することなどが可能になる。この結果、処理時間の無駄を無くすことができ、処理の効率化を図れる。

また本発明は、前記複数のチャンネルの中の1のチャンネルからパケットが送信されている間に、他のチャンネルのパケットについてのデータの取り込みを指示する手段を含むことを特徴とする。このようにすれば、1のチャンネルでのパケットの送信処理と、他のチャンネルでのデータの取り込み処理とを並列に行うことが可能になる。この結果、複数のパケットを連続して送信する場合に、処理を大幅に効率化できる。



また本発明は、データ取り込み中フラグがクリアされていることを条件に、データの取り込みを指示すると共に該データ取り込み中フラグをセットし、データの取り込みが終了したことを条件に、該データ取り込み中フラグをクリアする手段と、送信中フラグがクリアされていることを条件に、パケットの送信開始を命令すると共に該送信中フラグをセットし、パケットの送信が終了したことを条件に、該送信中フラグをクリアする手段とを含むことを特徴とする。このようにデータ取り込み中フラグや送信中フラグを用いることで、1のチャネルのデータ取り込み処理が行われている間に他のチャネルのデータ取り込み処理が行われたり、1のチャネルの送信処理が行われている間に他のチャネルの送信処理が行われてしまうという事態を回避できる。そして、1つのプログラムを用いて、複数チャネルからのパケットの送信処理をマルチタスクのように実行することが可能になる。

また本発明は、各チャネルに格納される各パケットが、パケット同士を連結するための連結ポイントを含み、前記読み出し手段が、前記送信開始手段により1のチャネルのパケットの送信開始が命令された場合に、前記連結ポイントを用いて、他のチャネルのパケットを連続して順次読み出すことを特徴とする。このようにすれば、1のチャネルのパケットの送信開始を命令するだけで、他のチャネルのパケットが連続して順次読み出され送信されるようになり、ファームウェアなどの上層の処理負担を格段に軽減できる。

また本発明は、パケットの転送先から返送されてくるアクノリッジメント情報を、送信パケット領域の複数のチャネルの中の該パケットの送信元のチャネルに書き戻す書き戻し手段を含むことを特徴とする。このようにすれば、送信パケットと、その転送先から返ってくるアクノリッジメント情報とを一対一に対応させることが可能になる。これにより、どのアクノリッジメント情報がどのパケットに対応するのかを、ファームウェアなどの上層が容易に認識できるようになる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、記憶手段に書き込まれたパケットを読み出す読み出し手段と、読み出されたパケットを各ノードに転送するためのサービスを提供する

リンク手段と、パケットの転送先から返送されてくるアクノリッジメント情報を、返送されてきたアクノリッジメント情報を確認せずに連続転送できるパケット数以上の個数だけ記憶する手段とを含むことを特徴とする。このようにすれば、ファームウェアなどの上層は、返送されてくるアクノリッジメント情報を確認することなく次々にパケットの送信開始を命令できるようになる。この結果、処理の効率化を図れる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、送信繰り返し回数情報を設定する手段と、基本制御情報を作成する制御情報作成手段と、パケットの送信開始を命令する送信開始手段と、パケットの送信開始が命令された場合に、前記基本制御情報を書き換えることで、連続転送されるパケットのデータと対をなす制御情報を順次生成する制御情報書き換え手段と、データと順次生成された制御情報とによりフレームが構成されるパケットを、送信繰り返し回数情報が所与の値になるまで連続転送する手段とを含むことを特徴とする。

本発明によれば、送信繰り返し回数情報を設定すると共に基本制御情報を作成し、送信開始を命令すると、自動的に基本制御情報から制御情報が生成され、送信繰り返し回数情報が所与の値（例えば零）になるまでパケットが連続転送される。これにより、ファームウェアの処理負担を増すことなく、複数のパケットを連続転送し、大きなサイズのデータを他のノードに転送できるようになる。

なお本発明では、前記基本制御情報が、前記送信繰り返し回数情報と、ランダムアクセス可能な記憶手段のデータ領域から読み出されるデータのアドレスを指すデータポインタと、トランザクション識別情報とを含み、前記制御情報書き換え手段が、前記送信繰り返し回数情報、前記データポインタ、及び前記トランザクション識別情報を書き換えることが望ましい。

また本発明は、後段のアプリケーションに接続される第1のバスと、該データ転送制御装置をコントロールする第2のバスと、物理層のデバイスに電氣的に接続される第3のバスと、前記記憶手段に電氣的に接続される第4のバスと、前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立

するための調停を行う調停手段とを含むことを特徴とする。

本発明によれば、互いに分離される第1、第2、第3のバスが設けられる。そして調停手段の調停により、これらの第1、第2、第3のバスのいずれかと、ランダムアクセス可能な記憶手段の第4のバスとの間にデータ経路が確立される。このようにすることで、他のノードから物理層のデバイスを介して受信したパケットを、所望の配置で記憶手段に格納することが可能になる。また、パケットの制御情報の読み出しや書き込みは第2のバスを用いて行い、パケットのデータの読み出しや書き込みは第1のバスを用いて行うことも可能になる。これにより、トランザクション層やアプリケーション層などの上層の処理負担を軽減できる。また、第1、第2のバスとして低速なバスを採用したり、データ転送制御装置をコントロールするデバイスとして低速で安価なデバイスを採用することができる。この結果、データ転送制御装置の小規模化、低コスト化を図れるようになる。

なお、第1、第2、第3、第4のバスは、各々、アプリケーション、データ転送制御装置をコントロールするデバイス、物理層のデバイス、RAMに、少なくとも電気的に接続されていればよく、これらのバス上に他のデバイスを介在させてもよい。

また本発明では、IEEE 1394の規格に準拠したデータ転送を行うことが望ましい。

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

本発明によれば、他のノードから転送されたデータを電子機器において出力したり記憶したりする処理、電子機器において取り込んだデータを他のノードに転送したりする処理を高速化することが可能になる。また、本発明によれば、デー

タ転送制御装置を小規模化できると共に、データ転送を制御するファームウェアなどの処理負担を軽減できるため、電子機器の低コスト化、小規模化などを図ることも可能になる。

[図面の簡単な説明]

図 1 A、図 1 B、図 1 C は、非同期転送とアイソクロナス転送について説明するための図である。

図 2 A、図 2 B は、ツリー識別について説明するための図である。

図 3 は、自己識別について説明するための図である。

図 4 A、図 4 B、図 4 C、図 4 D は、セルフ ID パケットなどの物理層のパケットのフォーマットを示す図である。

図 5 は、IEEE 1394 のプロトコル構成について示す図である。

図 6 は、本実施形態のデータ転送制御装置の構成例を示す図である。

図 7 は、ヘッダ（制御情報）領域とデータ領域の分離について説明するための図である。

図 8 は、本実施形態の比較例の構成例について示す図である。

図 9 は、図 8 の構成によるデータ転送の手法について説明するための図である。

図 10 は、データ転送の手法の他の例について説明するための図である。

図 11 は、本実施形態のデータ転送の手法について説明するための図である。

図 12 は、ヘッダ領域に格納されるヘッダとデータ領域に格納されるデータを結合し、送信パケットを組み立てる手法について説明するための図である。

図 13 は、RAM から読み出されたヘッダからデータポインタを取得し、取得したデータポインタを用いて、パケットのヘッダとデータを結合する手法について説明するための図である。

図 14 は、ヘッダ領域に格納するヘッダにデータポインタを含ませる手法について説明するための図である。

図 15 A、図 15 B は、データの取り込み処理の間に、ヘッダの作成及び書き込み処理を行う手法について説明するための図である。

図16A、図16Bは、図15A、図15Bの場合のファームウェアの処理を説明するためのフローチャートである。

図17は、RAMの各領域のサイズを可変に制御する手法について説明するための図である。

図18A、図18Bは、送信パケット領域を複数チャネルに分離する手法について説明するための図である。

図19は、送信パケット領域を複数チャネルに分離した場合のファームウェアの処理について説明するための図である。

図20A、図20Bは、送信パケット領域を複数チャネルに分離した場合のファームウェアの処理について説明するためのフローチャートである。

図21A、図21Bも、送信パケット領域を複数チャネルに分離した場合のファームウェアの処理について説明するためのフローチャートである。

図22A、図22B、図22C、図22Dは、連結ポインタを用いる手法について説明するための図である。

図23A、図23B、図23Cは、パケットの送信元のチャネルにACKコードを書き戻す手法について説明するための図である。

図24A、図24Bは、基本ヘッダを書き換えてパケットを連続転送する手法について説明するための図である。

図25A、図25Bは、基本ヘッダを書き換えてパケットを連続転送する手法の利点について説明するための図である。

図26は、基本ヘッダを書き換えてパケットを連続転送する場合のファームウェアの処理について説明するためのフローチャートであるである。

図27は、送信側の構成の一例を示す図である。

図28は、送信側の動作について説明するためのタイミング波形図である。

図29Aは、IEEE1394規格の非同期パケットのフォーマットであり、図29Bは、RAMのヘッダ領域に格納される非同期送信パケットのヘッダ部分のフォーマットである。

図30A、図30Bは、ヘッダポインタとデータポインタの更新について説明

するための図である。

図31A、図31B、図31Cは、種々の電子機器の内部ブロック図の例である。

図32A、図32B、図32Cは、種々の電子機器の外観図の例である。

#### [発明を実施するための最良の形態]

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

### 1. IEEE 1394

まず、IEEE 1394の概要について簡単に説明する。

#### 1. 1 データ転送速度、接続トポロジー

IEEE 1394 (IEEE 1394-1995、P1394. a) では100～400Mbpsの高速なデータ転送が可能となっている (P1394. bでは800～3200Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

各ノードはツリー状に接続されており、1つのバスに最大で63個のノードが接続可能になっている。なお、バスブリッジを利用すれば約64000個のノードを接続することも可能である。

電源が投入されたり、途中でデバイスの抜き差しが発生すると、バスリセットが発生し、接続トポロジーに関する情報が全てクリアされる。そして、バスリセット後、ツリー識別 (ルートノードの決定)、自己識別が行われる。その後、アイソクロナスリソースマネージャ、サイクルマスタ、バスマネージャ等の管理ノードが決定される。そして、通常のバケット転送が開始される。

#### 1. 2 転送方式

IEEE 1394では、バケットの転送方式として、信頼性が要求されるデータの転送に好適な非同期転送と、リアルタイム性が要求される動画像や音声などのデータの転送に好適なアイソクロナス転送が用意されている。

図1Aに、非同期サブアクションの例を示す。1つのサブアクションは、調停、バケット転送、アクノリッジメントからなる。即ち、データ転送に先立って、ま

ず、バスの使用権に関する調停が行われる。そしてソース（転送元）ノードからデスティネーション（転送先）ノードにパケットが転送される。このパケットのヘッダにはソースIDとデスティネーションIDが含まれる。デスティネーションノードは、このデスティネーションIDを読んで、自ノード宛のパケットか否かを判断する。デスティネーションノードは、パケットを受け取ると、ソースノードにアクノリッジメント（ACK）のパケットを返す。

パケット転送とACKの間にはアクノリッジギャップが存在する。また、1つのサブアクションと次のサブアクションの間にはサブアクションギャップが存在する。そして、サブアクションギャップに相当する一定のバス・アイドル時間が経過しないと、次のサブアクションの調停を開始できない。これによりサブアクション相互の衝突が回避される。

図1Bに、アイソクロナスサブアクションの例を示す。アイソクロナス転送はブロードキャスト（バスに接続される全てのノードに転送）で実行されるため、パケット受信時にACKは返送されない。また、アイソクロナス転送では、ノードIDではなくチャンネル番号を使用してパケット転送が行われる。なお、サブアクション間にはアイソクロナスギャップが存在する。

図1Cに、データ転送時のバスの様子を示す。アイソクロナス転送は、サイクルマスタが一定周期毎にサイクルスタートパケットを発生することで開始する。これにより、1つのチャンネル当たり、125 $\mu$ s毎に少なくとも1つのパケットを転送できるようになる。この結果、動画像や音声などのリアルタイム性が要求されるデータの転送が可能になる。

非同期転送はアイソクロナス転送の合間に行われる。即ち、アイソクロナス転送の方が非同期転送よりも優先順位が高くなっている。これは、図1Cに示すように、アイソクロナスギャップの時間を、非同期転送のサブアクションギャップの時間よりも短くすることで実現される。

### 1.3 ツリー識別

ツリー識別はバスリセットの後に行われる。ツリー識別によりノード間の親子関係やルートノードが決定される。

まず、リーフノード（1つのノードにしか接続されていないノード）が、隣接するノードに、ペアレントノティファイを送る。例えば図2AのようにノードA、B、C、D、Eが接続されている場合には、ノードAからノードBに、ノードD及びEからノードCに、ペアレントノティファイ（PN）が送られる。

ペアレントノティファイを受け取ったノードは、送り元のノードを自身の子と認知する。そして、チャイルドノティファイをそのノードに送る。例えば図2Aでは、ノードBからノードAに、ノードCからノードD及びEにチャイルドノティファイ（CN）が送られる。これによってノードB、A間、ノードC、D間、ノードC、E間の親子関係が決定する。

ノードB、Cの親子関係は、どちらが先にペアレントノティファイを送ったかで決定される。例えば図2Bのように、ノードCの方が先にペアレントノティファイを送ると、ノードBが親になりノードCが子になる。

ポートの接続先の全てのノードが自身の子となるノードがルートになる。図2Bでは、ノードBがルートになる。なお、IEEE 1394では、全てのノードがルートになる可能性がある。

#### 1. 4 自己識別

ツリー識別の後、自己識別が行われる。自己識別においては、接続トポロジにおいてルートノードから遠いノードから順にセルフIDパケットが転送される。

より具体的には、例えば図3において、まず、ルートノードBのポート1（番号の小さいポート）に接続されるノードAが、セルフIDパケット（自己識別パケット）を全てのノードにブロードキャストする。

次に、ルートノードBのポート2（番号が大きいポート）に接続されるノードCが選択され、このノードCのポート1（番号の小さいポート）に接続されるノードDがセルフIDパケットをブロードキャストする。次に、ノードCのポート2（番号の大きいポート）に接続されるノードEがセルフIDパケットをブロードキャストし、その後、ノードCがブロードキャストする。最後に、ルートであるノードBがセルフIDパケットをブロードキャストし、自己識別が完了する。

セルフIDパケットには各ノードのIDが含まれる。ブロードキャストを行う



時点で他のノードから受け取ったセルフIDパケットの個数が、この各ノードのIDとなる。例えば図3では、ノードAがブロードキャストを行う時点では、どのノードもセルフIDパケットを発していないため、ノードAのIDは0になる。ノードAは、このID=0をセルフIDパケットに含ませてブロードキャストする。また、ノードDがブロードキャストを行う時点では、ノードAのみがセルフIDパケットを発している。このため、ノードDのIDは1になる。同様に、ノードE、C、BのIDは、各々、2、3、4になる。

図4AにセルフIDパケットのフォーマットを示す。同図に示すようにセルフIDパケットには各ノードの基本情報が含まれる。具体的には、各ノードのID(PHY\_ID)、リンク層がアクティブか否か(L)、ギャップカウント(gap\_cnt)、転送速度(sp)、アイソクロナスリソースマネージャになれる能力を有するか否か(C)、電力状態(pwr)、ポートの状態(p0、p1、p2)などに関する情報が含まれる。

なお、図4Bに、ノードのポート数が4個以上の場合に使用されるセルフIDパケット#1、#2、#3のフォーマットを示す。ポート数が4～11個の場合にはセルフIDパケット#0(図4A)及び#1が、12～19個の場合にはセルフIDパケット#0、#1及び#2が、20～27個の場合にはセルフIDパケット#0、#1、#2及び#3が使用されることになる。

また、図4C、図4Dに、セルフIDパケットと同様に、物理層のパケット(PHYパケット)であるリンクオンパケット、PHY構成パケットのフォーマットを示す。

#### 1.5 アイソクロナスリソースマネージャ

アイソクロナスリソースマネージャ(IRM)は以下の管理機能を有する。

第1に、アイソクロナス転送に必要な種々のリソースを提供する。例えば、チャネル番号レジスタや帯域幅レジスタを提供する。第2に、バスマネージャのIDを示すレジスタを提供する。第3に、バスマネージャがない場合に、簡易的なバスマネージャとなる役割を有する。

IRMになれる能力を有し(アイソクロナスリソースを管理する能力を有し)、

且つ、動作状態になっている（リンク層がアクティブになっている）ノードの中で（IRMになれる資格を有するノードの中で）、ルートに最も近い（IDが最も大きい）ノードがIRMになる。より、具体的には、図4AのセルフIDパケットにおいて、IRMになれる能力を有するか否かを示すC（CONTENDER）ビットと、リンク層がアクティブか否かを示すL（LINK\_ACTIVE）ビットが共に1になっているノードの中で、ルートに一番近いノード（PHY\_IDが一番大きいノード）がIRMになる。例えば、ルートノードのセルフIDパケットのCビットとLビットが1の場合には、ルートノードがIRMになる。

#### 1. 6 サイクルマスタ、バスマネージャ

サイクルマスタは、図1Cに示すサイクルスタートパケットを送信する役割を有し、ルートノードがサイクルマスタになる。

バスマネージャは、トポロジーマップ（各ノードの接続状態）の作成、スピードマップの作成、バスの電力管理、サイクルマスタの決定、ギャップカウン트의最適化などの仕事を行う。

#### 1. 7 プロトコル構成

図5を用いて、IEEE 1394のプロトコル構成（層構造）について説明する。

IEEE 1394のプロトコルは、物理層、リンク層、トランザクション層により構成される。また、シリアルバスマネージメントは、物理層、リンク層、トランザクション層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

物理層は、リンク層により使用されるロジカルシンボルを電気信号に変換したり、バスの調停を行ったり、バスの物理的インターフェースを定義する。

リンク層は、アドレッシング、データチェック、データフレーミング、サイクル制御などを提供する。

トランザクション層は、リード、ライト、ロックなどのトランザクションを行うためのプロトコルを定義する。

物理層及びリンク層は、通常、データ転送制御装置（インターフェースチップ）などのハードウェアにより実現される。また、トランザクション層は、CPU上で動作するファームウェアや、ハードウェアにより実現される。

## 2. 全体構成

次に、本実施形態の全体構成について図6を用いて説明する。

図6において、PHYインターフェース10は、物理層のプロトコルを実現するPHYチップとのインターフェースを行う回路である。

リンクコア20（リンク手段）は、リンク層のプロトコルやトランザクション層のプロトコルの一部を実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ22は、これらのプロトコルを実現したリンクコア20を制御するためのレジスタである。

FIFO(ATF)30、FIFO(ITF)32、FIFO(RF)34は、各々、非同期送信用、アイソクロナス送信用、受信用のFIFOであり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらのFIFO30、32、34の段数は非常に少ない。例えば1つのFIFOの段数は、好ましくは3段以下であり、更に好ましくは2段以下となる。

DMAC40、42、44は、各々、ATF、ITF、RF用のDMAコントローラである。これらのDMAC40、42、44を用いることで、CPU66に介入されることなく、RAM80とリンクコア20との間でのデータ転送が可能になる。なお、レジスタ46は、DMAC40、42、44などを制御するレジスタである。

ポートインターフェース50は、アプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）とのインターフェースを行う回路である。本実施形態では、このポートインターフェース50を用いて、例えば8ビットのデータ転送が可能になっている。

FIFO(PF)52は、アプリケーション層のデバイスとの間でのデータ転送のためのFIFOであり、DMAC54は、PF用のDMAコントローラである。レジスタ56は、ポートインターフェース50やDMAC54を制御するレ

ジスタである。

CPUインターフェース60は、データ転送制御装置をコントロールするCPU66とのインターフェースを行う回路である。CPUインターフェース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制御するものであり、PHYチップから送られてくるSCLKや、マスタクロックであるHCLKが入力される。

バッファマネージャ70は、RAM80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレジスタ72、RAM80へのバス接続を調停する調停回路74、各種の制御信号を生成するシーケンサ76を含む。

RAM80は、ランダムアクセス可能なバケット記憶手段として機能するものであり、その機能は例えばSRAM、DRAMなどにより実現される。そして、本実施形態では、図7に示すように、このRAM80がヘッダ領域（広義には制御情報領域）とデータ領域に分離されている。そして、バケットのヘッダ（広義には制御情報）は図7のヘッダ領域に格納され、バケットのデータはデータ領域に格納される。

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

バス90（或いはバス92、94）は、アプリケーションに接続されるものである（第1のバス）。またバス96（或いはバス98）はデータ転送制御装置をコントロールするためのものであり、データ転送制御装置をコントロールするデバイス（例えばCPU）に電氣的に接続される（第2のバス）。またバス100（或いはバス102、104、105、106、107、108、109）は、物理層のデバイス（例えばPHYチップ）に電氣的に接続されるものである（第3のバス）。また、バス110は、ランダムアクセス可能な記憶手段であるRAMに電氣的に接続されるものである（第4のバス）。

バッファマネージャ70の調停回路74は、DMAC40、DMAC42、D

MAC 44、CPUインターフェース60、DMAC 54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、98、94のいずれかと、RAM 80のバス110との間にデータの経路が確立される（第1、第2、第3のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納するRAM 80を設けると共に、互いに分離されるバス90、96、100と、これらのバスをRAM 80のバス110に接続するための調停回路74とを設けた点にある。

例えば図8に、本実施形態と構成の異なるデータ転送制御装置の例を示す。このデータ転送制御装置では、リンクコア902は、PHYインターフェース900、バス922を介してPHYチップと接続される。また、リンクコア902は、FIFO 904、906、908、CPUインターフェース910、バス920を介してCPU 912に接続される。そして、CPU 912は、バス924を介して、CPUにローカルなメモリであるRAM 914に接続される。

なお、FIFO 904、906、908は、図6のFIFO 30、32、34と異なり、非常に段数の多いものとなる（例えば1つのFIFOが16段程度）。

図8の構成のデータ転送制御装置を用いた場合のデータ転送の手法について図9を用いて説明する。PHYチップ930を介して他のノードから送られてきた受信パケットは、バス922、データ転送制御装置932、バス920を介してCPU 912が受け取る。そして、CPU 912は、受け取った受信パケットをバス924を介してRAM 914に書き込む。そして、CPU 912は、受信パケットをアプリケーション層が使用できるように加工し、バス926を介してアプリケーション層のデバイス934に転送する。

一方、アプリケーション層のデバイス934からのデータを転送する場合には、CPU 912は、このデータをRAM 914に書き込む。そして、RAM 914のデータにヘッダを付加することでIEEE 1394に準拠したパケットを生成する。そして生成されたパケットは、データ転送制御装置932、PHYチップ

930などを介して他のノードに送信される。

しかしながら、このようなデータ転送手法によると、CPU912の処理負荷が非常に重くなる。従って、ノード間を接続するシリアルバスの転送速度が高速になっても、CPU912の処理のオーバーヘッドなどに起因して、システム全体の実転送速度は低くなり、結局、高速なデータ転送を実現できない。

このような問題を解決する1つの手法として、図10に示すように、データ転送制御装置932とRAM914との間でのデータ転送や、RAM914とアプリケーション層のデバイス934との間でのデータ転送を、ハードウェアDMAにより実現する手法も考えられる。

しかしながら、この手法では、CPUバス928が、データ転送制御装置932、RAM914間でのデータ転送、RAM914、CPU912間でのデータ転送、RAM914、アプリケーション層デバイス934間でのデータ転送に使用されることになる。従って、システム全体のデータ転送の高速化を図ろうとすると、CPUバス928としてPCIバスのような高速なバスを使用しなければならなくなり、これは、データ転送制御装置を使用する電子機器の高コスト化を招く。

これに対して、本実施形態では図11に示すように、データ転送制御装置120、アプリケーション層デバイス124間のバス90と、CPUバス96と、データ転送制御装置120、RAM80間のバス110とが互いに分離されている。従って、CPUバス96をデータ転送の制御のみに使用できるようになる。また、バス90を占有して、データ転送制御装置120、アプリケーション層デバイス124間でデータ転送を行うことができるようになる。例えば、データ転送制御装置120が組み込まれる電子機器がプリンタである場合には、バス90を占有して印字データを転送できるようになる。この結果、CPU66の処理負荷を軽減でき、システム全体の実転送速度を高めることができる。またCPU66として安価なものを採用できると共に、CPUバス96として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

### 3. 送信パケットフォーマット

#### 3. 1 本実施形態の特徴

本実施形態では、図7に示すように、RAM80の記憶領域を、パケットのヘッダ（広義には制御情報）が格納されるヘッダ領域（広義には制御情報領域）とパケットのデータが格納されるデータ領域に分離している。

例えば図8の比較例では、CPU912は、送信する順序でFIFO904、906に送信パケットを入力しなければならない。例えば、パケット1（ヘッダ1、データ1）、パケット2（ヘッダ2、データ2）、パケット3（ヘッダ3、データ3）を送信する場合には、ヘッダ1、データ1、ヘッダ2、データ2、ヘッダ3、データ3というような順序でFIFO904、906に送信パケットを入力しなければならない。従って、CPU912による並べ替え処理が必要になり、CPU912の処理負荷が非常に重くなる。これは結局、システム全体の実転送速度の低下という事態を招く。

これに対して、図6の本実施形態では、RAM80の記憶領域がヘッダ領域とデータ領域に分離される。より具体的には、図12に示すように、ヘッダ領域に格納されたヘッダとデータ領域に格納されたデータとがハードウェアにより結合され、各ノードに転送すべき送信パケットが組み立てられる。従って、CPU66の処理負荷が図8に比べて非常に軽くなり、システム全体の実転送速度を向上できる。また、CPU66として安価なものを採用できると共にCPU66に接続されるバスも低速なもので済むため、データ転送制御装置や電子機器の小規模化、低コスト化を図れるようになる。

また、本実施形態によれば、ヘッダはヘッダ領域にまとめられて格納され、データもデータ領域にまとめられて格納される。従って、ヘッダやデータの読み出し処理や書き込み処理の簡易化を図ることができ、処理のオーバーヘッドを軽減化できる。例えば、図11の手法でデータ転送を行う場合には、CPU66は、CPUバス96を介してヘッダ領域にのみアクセスしヘッダを読み出したり書き込んだりするだけでデータ転送を制御できるようになる。また、アプリケーション層のデバイス124は、データ領域のデータを連続してバス90を介して読み

出したり、データを連続してデータ領域に書き込んだりすることが可能になる。

さて本実施形態におけるバケットのヘッダとデータの結合処理は、より具体的には例えば以下のようにして実現する。

即ち図13に示すように、本実施形態では、DMA C 4 0（広義には読み出し手段）内のバケット結合回路280が読み出しアドレスRAD Rを指定する。そして、バケットのヘッダ（広義には制御情報）を、ランダムアクセス可能なRAM 8 0のヘッダ領域（広義には制御情報領域）から読み出し、このヘッダと対をなすデータを、RAM 8 0のデータ領域から読み出す。このようにして、ヘッダとデータが結合され、送信バケットが組み立てられる。そして、この送信バケットは、F I F O 3 0、バケット転送のための各種サービスを提供するリンクコア20、及びPHYチップを介して各ノードに転送される。

ここで、ヘッダの作成及びヘッダ領域への書き込みは、CPU 6 6のヘッダ作成部300が行う。また、データ領域へのデータの取り込みは、データ取り込み指示部302からの指示にしたがい、例えばアプリケーション層のデバイスが行う。また、バケットの送信開始命令は、送信開始部304が発行する。なお、図13のヘッダ作成部300、データ取り込み指示部302、送信開始部304、繰り返し回数設定部306の機能は、CPU 6 6のハードウェアと、ファームウェアとにより実現される。

なお、図14に示すように、ヘッダ領域の各ヘッダには、データ領域からのデータの読み出しアドレスを指すデータポイントが、ヘッダ作成部300により付加されている。図13に示すように、バケット結合回路280は、ヘッダ領域からRDAT Aとして読み出されたヘッダからこのデータポイントを取得し、取得したデータポイントを用いて、データ領域からデータを読み出す。このようにすることで、バケット結合回路280の読み出し処理を簡素化できる。

図8の構成では、送信する順序、即ちヘッダ、データの順序でF I F Oに送信バケットを入力しなければならない。従って、図15 Aに示すように、まずファームウェアがヘッダの作成及び書き込みを行い、次にアプリケーション層のデバイスからのデータを取り込み、最後に送信開始を命令するというようなパターン



でしか、パケットを送信できない。このため、処理の高速化を実現できない。

一方、本実施形態では、図15Bに示すように、アプリケーション層のデバイスからのデータをデータ領域に取り込んでいる間に、ファームウェア（ヘッダ作成部300）は、ヘッダの作成処理及びヘッダ領域への書き込み処理を行うことができる。そして、ファームウェア（送信開始部304）は、データ取り込み処理とヘッダの書き込み処理の両方が終了したことを条件に、パケットの送信開始命令を発行する。このように本実施形態によれば、ファームウェアの処理負担を格段に軽減できると共に、処理の高速化を図れるようになる。

なお、図16Aに比較例におけるファームウェアの処理のフローチャート例を示し、図16Bに本実施形態におけるファームウェアの処理のフローチャート例を示す。

図16Aでは、ファームウェアは、ヘッダの作成及び書き込みを行った後に（ステップS1）、データ取り込みを指示し（ステップS2）、最後に送信開始命令を発行する（ステップS3）。

一方、図16Bでは、ファームウェアは、まずデータの取り込み指示だけを行い（ステップS11）、その後、ヘッダの作成及び書き込みを行う（ステップS12）。そして、データの取り込みが終了したか否かを判断し（ステップS13）、終了した場合には送信開始命令を発行する（ステップS14）。このようにすることで、データの取り込み処理とヘッダの作成及び書き込み処理とを並列に行うことができるようになる。

なお、本実施形態では図17に示すように、RAM80のヘッダ領域を、受信用、送信用の領域に分離することが望ましい。また、データ領域を、受信用、送信用の領域に分離したり、アイソクロナス転送用、非同期転送用の領域に分離するようにしてもよい。また、ヘッダ領域とデータ領域の他に、これらの領域と分離されたCPU66のワーク領域を設けることが望ましい。

更に、RAM80の記憶領域が複数の領域に分離される場合には、各領域のサイズを可変に制御することが望ましい。より具体的には図17に示すように、各領域の境界のアドレスを指すポインタP1～P6を可変に制御する。このように

すれば、アプリケーションに応じた最適な領域分割を実現できる。この場合、RAM 80の各領域のサイズは、電源投入後もダイナミックに可変制御できることが望ましい。このようにすれば、受信処理の際には受信用の領域を広くし、送信処理の際には送信用の領域を広くすることが可能になり、限られたリソースを有効利用できるようになる。

さて、図18Aでは、RAMに設けられる送信パケット領域が1つのチャンネルしか有していない。従って、図18Aでは、まず、この1つのチャンネルにパケット1を書き込み（ヘッダの作成及び書き込み、データの取り込み）、書き込みが完了するとパケット1の送信開始を命令する。次に、同じチャンネルにパケット2を書き込み、書き込みが完了するとパケット2の送信開始を命令することになる。

これに対して、図18Bでは、RAMの送信パケット領域が複数のチャンネルに分離されている。従って、図18Bでは、まずチャンネルCH1にパケット1を書き込み、書き込みが完了するとパケット1の送信開始を命令する。そして、CH1からパケット1を送信している間に、チャンネルCH2にパケット2を書き込み、書き込みが完了するとパケット2の送信開始を命令する。同様に、CH2からパケット2を送信している間に、CH3にパケット3を書き込み、CH3からパケット3を送信している間に、CH4にパケット4を書き込む。

図18Aでは、パケットの書き込み処理と送信処理とがシーケンシャルに行われるため、処理時間に無駄が生じる。これに対して、図18Bでは、1のチャンネルからのパケットの送信処理（読み出し処理）と、他のチャンネルへのパケットの書き込み処理とが並列に行われる。従って、処理時間の無駄を省くことができ、処理の高速化を図れる。

次に、複数チャンネルを用いたパケット送信の詳細について、図19、図20A、図20B、図21A、図21Bを用いて説明する。

図19に示すSUB1、SUB2、SUB3、SUB4は、各々、図20A、図20B、図21A、図21Bに示すサブルーチン1、2、3、4を表すものである。そして、これらのSUB1～SUB4は全て、1つのメインルーチンから分岐する。

まず、図19のE1に示すようにチャンネルCH1においてSUB1の処理が行われる。SUB1の処理では、図20Aに示すように、データ取り込み中フラグがセットされているか否かを判断し（ステップT11）、セットされていない場合にはデータ領域に空きがあるか否かを調べる（ステップT12）。そして空きがある場合には、データの取り込みを指示する（ステップT13）。これにより、アプリケーション層のデバイス等からRAMにデータが取り込まれる。そして、データ取り込みの指示の後、データ取り込み中フラグをセットする（ステップT14）。

SUB2の処理では、図20Bに示すように、まずデータ取り込み中フラグがセットされているか否かを判断する（ステップT21）。そして、図19のE2では、E1のSUB1のステップT14（図20A）においてデータ取り込み中フラグがセットされている。従って、次のステップに移行し、データの取り込みが終了しているか否かを判断する（ステップT22）。そして、図19のE2では、データの取り込みが終了しているため、次のステップに移行し、チャンネルCH1の送信可能フラグをセットする（ステップT23）。この送信可能フラグは、前述のデータ取り込み中フラグや後述する送信中フラグと異なり、チャンネル毎に設けられる。送信可能フラグをセットした後、データ取り込み中フラグをクリアする（ステップT24）。

SUB3の処理では、図21Aに示すように、まず送信中フラグがセットされているか否かを判断し（ステップT31）、セットされていない場合には送信可能フラグがセットされているか否かを判断する（ステップT32）。そして、図19のE3では、E2のSUB2のステップT23（図20B）において、送信可能フラグがセットされている。従って、次のステップに移行し、送信の開始を命令する（ステップT33）。そして、送信開始命令の後に、送信中フラグをセットする（ステップT34）。

SUB4の処理では、図21Bに示すように、まず送信中フラグがセットされているか否かを判断する（ステップT41）。そして、図19のE4では、E3のSUB3のステップT34（図21A）において送信中フラグがセットされて

いる。従って、次のステップに移行し、送信が終了しているか否かを判断する（ステップT 4 2）。そして、図19のE 4では、送信が既に終了しているため、次のステップに移行し、送信可能フラグ及び送信中フラグをクリアする（ステップT 4 3、T 4 4）。

図19のE 2のSUB 2では、図20BのステップT 2 2、T 2 3に示すように、データの取り込みが終了したこと条件に、そのチャンネルの送信可能フラグがセットされる。そして、E 3のSUB 3では、図21AのステップT 3 2、T 3 3に示すように、送信可能フラグがセットされたことを条件に、そのチャンネルからの送信が開始される。即ち、このような送信可能フラグをチャンネル毎に設けることで、そのチャンネルのデータ取り込みが終了したことを条件にそのチャンネルの送信を開始できるようになる。

また図19のE 2のSUB 2は、図20BのステップT 2 2、T 2 4に示すように、データの取り込みが終了したことを条件にデータ取り込み中フラグをクリアする。そして、このようにデータ取り込み中フラグがクリアされると（セットされていないと）、E 5のSUB 1が、データの取り込みを指示できるようになる（図20AのステップT 1 1、T 1 3）。即ち、このようなデータ取り込み中フラグを使用することで、1のチャンネルのデータ取り込み処理が行われている間に他のチャンネルのデータ取り込み処理が行われてしまうという事態を回避できる。

また図19のE 6のSUB 4は、図21BのステップT 4 2、T 4 4に示すように、送信が終了したことを条件に送信中フラグをクリアする。そして、このように送信中フラグがクリアされると（セットされていないと）、E 7のSUB 3が、送信開始を命令できるようになる（図21AのステップT 3 1、T 3 3）。即ち、このような送信中フラグを使用することで、1のチャンネルの送信処理が行われている間に他のチャンネルの送信処理が行われてしまうという事態を回避できる。

以上のようにすることで、メインルーチンとサブルーチンSUB 1～SUB 4とからなる1つのプログラム（ファームウェア）を用いて、複数チャンネルからのパケットの送信処理をマルチタスクのように実行できるようになる。

なお、複数チャネルを用いたパケット転送においては、各パケットが、パケット同士を連結するための連結ポイントを有することが望ましい。例えば図 2 2 A では、連結ポイント 1、2、3 により、各々、パケット 1 及び 3、2 及び 4、3 及び 2 が連結される。そして、パケット 1 の送信開始が命令されると、連結ポイント 1 によりパケット 3 が読み出され、図 2 2 B に示すようにパケット 3 が送信される。そして、パケット 3 が送信されると、連結ポイント 3 によりパケット 2 が読み出され、図 2 2 C に示すようにパケット 2 が送信される。そして、パケット 2 が送信されると、連結ポイント 2 によりパケット 4 が読み出され、図 2 2 D に示すようにパケット 4 が送信される。

このようにすれば、ファームウェアが 1 のチャネルのパケットの送信開始を命令するだけで、他のチャネルのパケットが連続して順次読み出され送信されるようになる。従って、ファームウェアは、他のチャネルのパケットについては送信開始を命令する必要がなくなる。この結果、ファームウェアの処理負担を格段に軽減できる。

さて、IEEE 1394 では、図 1 A で説明したように、ソースノードがパケットを転送すると、デスティネーションノードはソースノードに ACK コードを返す。この場合、この ACK コードの内容を、ソースノードのファームウェアが確認できるように何らかの記憶手段に格納しておくことが望まれる。そして、図 2 3 A では、パケット 1 の送信に対して返ってきた 4 ビットの ACK コードを、4 ビットのレジスタ 940 に格納している。そして、パケット 2 の送信に対して ACK コードが返ってきた場合には、このパケット 2 についての ACK コードをレジスタ 940 に上書きする。即ち、レジスタ 940 の ACK コードは、常に最新のものに更新される。

しかしながら、図 2 3 A の手法では、複数のパケットを連続して送信した場合に、どのパケットの ACK コードがレジスタ 940 に格納されているのかがわからなくなる。レジスタ 940 には、1 つの ACK コードしか格納できないからである。

この問題を回避する 1 つの手法として、パケット 1 の送信に対して返ってきた

A C Kコードを、ファームウェアが、レジスタ940から読み出して確認した後、にパケット2の送信開始を命令するという手法が考えられる。しかしながら、この手法では、ファームウェアは、パケット1のA C Kコードが返ってくるまで、パケット2の送信開始命令の発行を待たなければならなくなる。このため、処理の高速化が妨げられる。特に、図18Bのように複数チャネルを用いてパケットを送信する場合に、複数チャネルを有することの利点を生かすことができなくなる。

そこで図23Bでは、パケットの転送先（デスティネーションノード）から返送されてくるA C Kコード（アクノリジメント情報）を、送信パケット領域の複数のチャネルの中の、そのパケットの送信元のチャネルに書き戻すようにしている。即ち、図23Bに示すように、チャネルCH1のパケット1の送信に対して返ってきたA C KコードはCH1に書き戻し、チャネルCH2のパケット2の送信に対して返ってきたA C KコードはCH2に戻す。

このようにすることで、各パケットと返送されてきたA C Kコードとが一対一で対応するようになり、どのパケットに対してどのA C Kコードが返ってきたかを、ファームウェアは簡易且つ確実に確認できるようになる。

また、図23Cに示すように、ファームウェアが、パケット1の送信に対して返ってくるA C Kコードを確認せずにパケット2の送信開始を命令し、その後に、返ってきたA C Kコードを確認するようにすることもできる。即ち、送信の準備（ヘッダの生成及び書き込み、データの取り込み）が整った段階ですぐに送信開始を命令し、空いている時間を見計らって、後でA C Kコードを確認するようにする。このようにすることで、更なる処理の高速化を図れるようになる。

なお、ハードウェアの簡素化、ファームウェアの処理負担の軽減化、処理の高速化の観点からは、図23B、図23CのようにパケットのA C Kコードを送信元のチャネルに書き戻す手法を採用することが特に望ましい。しかしながら、本実施例は図23B、図23Cの手法に限られるものではない。即ち、パケットの転送先から返送されてくるA C Kコードを、返送されてくるA C Kコードを確認せずに連続転送できるパケット数以上の個数だけ記憶できる手段があればよい。

例えば、ACKコードを確認せずに連続転送できるパケット数が4個である場合には、4個以上のACKコードを記憶できるレジスタ（16ビット以上のレジスタ）を用意する。そして、望ましくは、どのような順番でACKコードが返ってきたのかを確認できるようにしておく。このようにすれば、パケットを連続転送した場合にも、パケットとACKコードとの対応関係を維持しておくことが可能になる。

さて、図24Aでは、パケット1（ヘッダ1、データ1）をRAMに書き込み、その送信の開始を命令し、パケット2（ヘッダ2、データ2）を書き込み、その送信の開始を命令し、パケット3（ヘッダ3、データ3）を書き込み、その送信の開始を命令するというようにして、パケット1、2、3を送信している。

しかしながら、パケット1、2、3が同種のパケットであり、ヘッダ1、2、3が同様のものである場合（例えば大きなサイズのデータを複数のペイロードに分割して送信する場合）には、図24Aの手法では、ファームウェアのヘッダ作成処理が無駄であると共に、RAMの記憶領域も無駄に使用されてしまう。また、パケット1、2、3を送信するために、ファームウェアは3回の送信開始命令を発行しなければならない。従って、図24Aでは、ファームウェアの処理負担が重くなると共に、限られたリソースを有効利用できない。

これに対して、図24Bでは、図13のヘッダ作成部300（ファームウェア）が基本となるヘッダを1つ作成する。この基本ヘッダは、図24Bに示すようにデータポインタ、RPN、t1などを含む。

ここでデータポインタは、データ領域から読み出されるデータのアドレスを指すものである。またRPNは、図13の繰り返し回数設定部306により設定される送信繰り返し回数情報である。またt1（トランザクションラベル）は、各ノードからのトランザクションを識別するための情報としてIEEE1394で規格化されているものである。応答側は、要求側からのパケットに含まれるトランザクションラベルと同一のものを応答側のパケットに含ませて、要求側に返す必要がある。従って、各トランザクション毎にt1の書き換え処理が必要になる。

図13の送信開始部304が送信開始を命令すると、ヘッダ書き換え回路31

0が、図24Bに示すよう基本ヘッダを順次書き換える。即ち、基本ヘッダのRPNをデクリメント又はインクリメント（広義には更新）しながら、基本ヘッダのデータポインタやt1を書き換える。この書き換えは、RPNが例えば零（所与の値）になるまで行われる。このように基本ヘッダを書き換えることで、連続転送されるパケットのデータと対をなすヘッダが、パケットを送信する毎に順次作成される。このようにすることで、図24Aに比べて、ファームウェアの処理負担を格段に軽減できると共に、ヘッダが占有する記憶領域の大きさも小さくできる。

例えば、図24Aの手法では、図25Aに示すように、パケットを送信する毎に、ファームウェアは、ヘッダの作成及び書き込みと、送信開始の命令とを行わなければならない。これに対して、図24Bの手法では、図25B、図26に示すように、ファームウェアは、初めにRPNの設定（ステップU1）と基本ヘッダの作成及び書き込み（ステップU2）を行い、送信開始を命令すれば（ステップU3）、その後は、自動的に基本ヘッダが書き換えられて、データの取り込み、送信が繰り返される。従って、図25Aに比べてファームウェアの処理負担を軽減できる。

なお、送信繰り返し回数情報RPNを、基本ヘッダに含ませないで、所与のレジスタなどに格納するようにしてもよい。

### 3. 2 構成

次に送信側の構成について説明する。図27に、FIFO30、DMAC40の詳細な構成の一例を示す。

位相調整用のバッファとして機能するFIFO30は、FIFO状態判断回路31を含む。FIFO状態判断回路31は、FIFOが空になると、EMPTYをアクティブにし、FIFOがフルになると、FULLをアクティブにする。

DMAC40は、パケット結合回路280、アクセス要求実行回路290、アクセス要求発生回路292、ACK書き込み要求発生回路294、ACK書き込みデータ&アドレス発生回路296を含む。

パケット結合回路280は、ヘッダをRAM80のヘッダ領域から読み出し、



データをデータ領域から読み出し、これらのヘッダとデータによりフレームが構成される送信パケットを組み立てる回路である（図12参照）。パケット結合回路280は、ポインタ更新回路284、アドレス発生回路288を含む。

ポインタ更新回路284は、RAM80からヘッダやデータを読み出すためのヘッダポインタ（広義には制御情報ポインタ）やデータポインタを更新するための回路であり、データポインタ取得回路285を含む。データポインタ取得回路285は、RAM80から読み出されたRDATAからデータポインタを取得する回路であり、tcode判別回路286を含む。tcode判別回路286は、tcode（トランザクションコード。広義にはパケットフォーマット識別情報）を判別する回路であり、このtcodeを判別することで、パケットのヘッダとデータのいずれが読み出されているかを判断できる。

アドレス発生回路288は、ポインタ更新回路284の出力などを受け、RAM80の読み出しアドレスRADRを発生する回路である。

アクセス要求実行回路290は、FIFO状態判断回路31からのEMPTYがアクティブになると、FIFOINをアクティブにする。リンクコア20は、FIFOINがアクティブでないことを条件に、TD（TxData）のストローブ信号であるTDSをアクティブにする。

なおTFAILは、送信における失敗を、リンクコア20がアクセス要求実行回路290に対して知らせるための信号である。

アクセス要求発生回路292は、バッファマネージャ70からの読み出しアクノリジメントであるRACKやFIFO状態判断回路31からのFULLを受け、読み出し要求であるRREQをバッファマネージャ70に出力する。

ACK書き込み要求発生回路294は、リンクコア20からのTCMPやバッファマネージャ70からのWACKを受け、WREQをバッファマネージャ70に出力する。また、ACK書き込みデータ&アドレス発生回路296は、リンクコア20からのTACKを受け、送信パケットのチャンネルに書き戻すACKのコードをWDATAとして出力し、ACKを書き戻すアドレスをWADRとして出力する。

### 3. 3 送信側の動作

次に、送信側の動作の詳細について図28のタイミング波形図などを用いて説明する。

まず、リンクコア20の動作について説明する。

送信開始を知らせるTSTARTがアクティブになると、図28のB1に示すように、リンクコア20は、ストロブ信号であるTDSを用いてFIFO30からTDを取り込む。この場合、リンクコア20には、ヘッダ(H0~H3)、データ(D0~Dn)の順でTDが取り込まれる。

なお、図29Aに、シリアルバス上で転送される非同期パケットのフォーマット(IEEE1394規格)を示す。一方、図29Bに、RAM80のヘッダ領域に格納される非同期送信パケットのヘッダ部分のフォーマットを示す。同図に示すようにヘッダの第4クワドレットはデータポインタになっている。

さて、図28のB2に示す位置では、リンクコア20は、TDSをアクティブにしない。従って、B3に示すように、ヘッダの第4クワドレットであるH4はリンクコア20に取り込まれない。図29Bに示すように第4クワドレットのH4はデータポインタであり、リンクコア20は、このデータポインタを必要としないからである。そして、リンクコア20は、B3に示す期間において、ヘッダCRC(図29A参照)を生成しヘッダに付加する処理を行っている。

1つのパケットの送信処理が終了すると、リンクコア20は、B4に示すようにTCMPをアクティブにする。そして、送信のデスティネーションノードからPHYチップを介して返されてきたACKのコードを(図1A、図23B、図23C参照)、B5に示すようにTACKとしてDMAC40に出力する。このACKのコードは、ACK書き込み要求発生回路294、ACK書き込みデータ&アドレス発生回路296により、RAM80のヘッダ領域のヘッダに書き戻されることになる(図29Bの第7クワドレット)。

次に、FIFO30の動作について説明する。

FIFO30は、バッファマネージャ70からのRDATAを受け、TDとしてリンクコア20に出力する。

F I F O 3 0 内の F I F O 状態判断回路 3 1 は、内蔵するカウンタにより、F I F O 3 0 のデータ数 (F I F O カウント) をカウントする。そして、F I F O 3 0 が空 (データ数 = 0) になった場合には、図 2 8 の B 6 に示すように E M P T Y をアクティブにする。また、F I F O 3 0 がフル (データ数 = 2) になった場合には、B 7 に示すように F U L L をアクティブ (H レベル) にする。F I F O 3 0 が空になったことは、E M P T Y、F I F O I N により、D M A C 4 0 内のアクセス要求実行回路 2 9 0 やリンクコア 2 0 に伝えられる。また、F I F O 3 0 がフルになったことは、F U L L により、D M A C 4 0 内のアクセス要求発生回路 2 9 2 に伝えられる。

次に、D M A C 4 0 の動作について説明する。

アクセス要求発生回路 2 9 2 は、B 8 に示すように、F U L L が非アクティブ (L レベル) であること (F I F O 3 4 がフルでないこと) を条件に R R E Q をアクティブにする。そして、バッファマネージャ 7 0 から R A C K を受け取ると、R R E Q を非アクティブにする。

なお、本実施形態では、送信時のバス調停においては、D M A C 4 0 (或いは D M A C 4 2) からのアクセス要求の優先順位を最も高くしている。従って、D M A C 4 0 からの R R E Q と、C P U インターフェース 6 0 やポート用の D M A C 5 4 からのアクセス要求 (O t h e r R R E Q) とが競合した場合には、R R E Q の方が優先する。一方、R R E Q よりも先に、C P U インターフェース 6 0 やポート用の D M A C 5 4 からのアクセス要求があった場合には、B 9 に示すように、D M A C 4 0 のアクセス要求は所与の期間だけ待たされる。従って、バッファマネージャ 7 0 からの R D A T A と、リンクコア 2 0 への T D とは同期しない。この理由により、本実施形態では、R D A T A と T D の位相を調整するための F I F O 3 0 を設けている。この場合、F I F O 3 0 は、位相調整のために必要な最低限の段数 (好ましくは 3 段以下、更に好ましくは 2 段以下) を備えていればよい。

さて、送信が開始すると、ポインタ更新回路 2 8 4 が、図 3 0 A に示すようにヘッダポインタ H P のインクリメント (広義には更新) を行う。そして、アドレ

ス発生回路288は、図28のB10に示すように、インクリメントされるヘッダポインタに応じたRADRを発生する。このようにして、RDATAのヘッダ部分がRAM80から順次読み出される。

RDATAとしてH4が読み出されると、パケット結合回路280に含まれるデータポインタ取得回路285が、このH4を、データポインタDPとして取得する。より具体的には、RDATAとしてH0が読み出されると、データポインタ取得回路285内のtcode判別回路286が、H0に含まれるtcode(図29B参照)を判別する。そして、ヘッダの例えば第4クワドレットにデータポインタがあるとtcode(広義にはパケットフォーマット識別情報)に基づき判断された場合には、RDATAとしてH4が読み出された時に、データポインタ取得回路285がこのH4を取得する。即ち、図28のB11に示すように、RDATAのH4が、データポインタとして取得され、RADRとして出力される。

なお、本実施形態では、B3、B11に示すように、リンクコア20がヘッダCRCを生成している期間を利用して、RDATAからデータポインタであるH4を取得している。即ち、本実施形態では、ヘッダCRCの生成はリンクコア20が行い、DMAC40はこれに関与しない。一方、データポインタの取得はDMAC40が行い、リンクコア20はこれに関与しない。本実施形態では、このことに着目し、図29AにおいてヘッダCRCが配置される第4クワドレットに、図29Bに示すようにデータポインタを配置している。そして、ヘッダCRCが生成される期間を利用して、RDATAからデータポインタであるH4を取得するようにしている。このようにすることで、処理時間に無駄が生じるのを防止できるようになる。

データポインタが取得されると、ポインタ更新回路284が、図30Bに示すように、取得されたデータポインタであるH4のインクリメントを行う。そして、アドレス発生回路288は、図28のB12に示すように、インクリメントされるデータポインタに応じたRADRを発生する。このようにして、RDATAのデータ部分がRAM80から順次読み出される。

1つのパケットの送信処理が終了し、B 4に示すようにTCMPがアクティブになると、ACK書き込み要求発生回路294がB 13に示すようにWREQをアクティブにする。そして、リンクコア20からACK書き込みデータ&アドレス発生回路296に対してTACKを用いて送られたACKのコードが、B 14に示すように、WDATAとして出力される。また、この際に、ACKのコードの書き込みアドレスであるHP+7が、WADRとして出力される。このようにすることで、図23B、図23Cで説明したように、パケットの送信元のチャンネルに対して、デスティネーションノードからのACKコードを書き戻すことが可能になる。

なお、WADRがHP+7になるのは、図29Bに示すようにACKのコードはヘッダの第7クワドレットに書き戻されるからである。

以上のようにして、ヘッダ領域からのヘッダとデータ領域からのデータを結合して、送信パケットを組み立てることが可能になる。

特に本実施形態では、ヘッダとデータの結合はDMAC40が行い、リンク20はこれに関与する必要がない。従って、リンクコア20の回路構成や処理を簡素化できるようになる。

また、本実施形態では、データポインタ取得回路285が、RDATAからデータポインタ(H 4)を取得し、この取得されたデータポインタに基づきRADRが発生し、データが読み出される。このようにすることで、ヘッダと、そのヘッダに対応するデータとを、適切に結合できるようになる。また、ヘッダとデータの結合処理に必要な回路構成を簡素化できるようになる。

なお、ヘッダ領域とデータ領域の境界などの、RAM80を分離する領域の境界(図17のP 1~P 6)の設定は、CPUインターフェース60を介してCPU66(ファームウェア等)が、図6のレジスタ46に含まれるポインタ設定レジスタに対して、境界のアドレスを指すポインタを設定することで実現される。

#### 4. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

例えば図31Aに電子機器の1つであるプリンタの内部ブロック図を示し、図

図3 2 Aにその外観図を示す。CPU（マイクロコンピュータ）5 1 0はシステム全体の制御などを行う。操作部5 1 1はプリンタをユーザが操作するためのものである。ROM5 1 6には、制御プログラム、フォントなどが格納され、RAM5 1 8はCPU5 1 0のワーク領域として機能する。表示パネル5 1 9はプリンタの動作状態をユーザに知らせるためのものである。

PHYチップ5 0 2、データ転送制御装置5 0 0を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス5 0 4を介して印字処理部5 1 2に直接送られる。そして、印字データは、印字処理部5 1 2にて所与の処理が施され、プリントヘッドなどからなる印字部（データを出力するための装置）5 1 4により紙に印字されて出力される。

図3 1 Bに電子機器の1つであるスキャナの内部ブロック図を示し、図3 2 Bにその外観図を示す。CPU5 2 0はシステム全体の制御などを行う。操作部5 2 1はスキャナをユーザが操作するためのものである。ROM5 2 6には制御プログラムなどが格納され、RAM5 2 8はCPU5 2 0のワーク領域として機能する。

光源、光電変換器などからなる画像読み取り部（データを取り込むための装置）5 2 2により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部5 2 4により処理される。そして、処理後の画像データがバス5 0 5を介してデータ転送制御装置5 0 0に直接送られる。データ転送制御装置5 0 0は、この画像データにヘッドなどを付加することでパケットを生成し、PHYチップ5 0 2を介してパーソナルコンピュータなどの他のノードに送信する。

図3 1 Cに電子機器の1つであるCD-Rドライブの内部ブロック図を示し、図3 2 Cにその外観図を示す。CPU5 3 0はシステム全体の制御などを行う。操作部5 3 1はCD-Rをユーザが操作するためのものである。ROM5 3 6には制御プログラムなどが格納され、RAM5 3 8はCPU5 3 0のワーク領域として機能する。

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）5 3 3によりCD-R5 3 2か

ら読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス506を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、このデータにヘッダなどを付加することでパケットを生成し、PHYチップ502を介してパーソナルコンピュータなどの他のノードに送信する。

一方、PHYチップ502、データ転送制御装置500を介して、他のノードから送られてきたデータは、バス506を介して信号処理部534に直接送られる。そして、信号処理部534によりこのデータに所与の信号処理が施され、読み取り&書き込み部533によりCD-R532に記憶される。

なお、図31A、図31B、図31Cにおいて、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-Rからのデータの読み取りや、CD-Rへのデータの書き込みを高速に行うことができるようになる。更に、例えば1つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

また本実施形態のデータ転送制御装置を電子機器に用いることで、CPU上で動作するファームウェアの処理負荷が軽減され、安価なCPUや低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ(CDROM、DVD)、光磁気ディスクドライブ(MO)、ハードディスクドライブ、TV、VTR、ビデオカメラ、

オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、本発明のデータ転送制御装置の構成は、図6に示す構成が特に望ましいが、これに限定されるものではない。例えば、送信バケット領域を複数チャネルに分離する発明においては、記憶手段を制御情報領域とヘッダ領域とに分離しないようにしてもよい。また、アクノリッジメント情報を確認せずに連続転送できるバケット数以上の個数だけ、アクノリッジメント情報を記憶しておく発明においては、図6のみならず、図8などの種々の構成を採用することができる。

また、本発明は、IEEE 1394規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばIEEE 1394と同様の思想に基づく規格やIEEE 1394を発展させた規格におけるデータ転送にも本発明は適用できる。



## 請求の範囲

1. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

ランダムアクセス可能な記憶手段が、上層により制御情報が書き込まれている制御情報領域と上層によりデータが書き込まれているデータ領域とに分離されている場合において、バケットの制御情報を前記記憶手段の前記制御情報領域から読み出し、該制御情報と対をなすバケットのデータを前記記憶手段の前記データ領域から読み出すバケット結合手段と、

読み出されたバケットを各ノードに転送するためのサービスを提供するリンク手段とを含むことを特徴とするデータ転送制御装置。

2. 請求項 1 において、

前記バケット結合手段が、

前記データ領域から読み出されるデータのアドレスを指すデータポインタを、前記制御情報領域から読み出された制御情報から取得し、取得したデータポインタを用いて前記データ領域からデータを読み出すことを特徴とするデータ転送制御装置。

3. 請求項 2 において、

前記バケット結合手段が、

バケットの制御情報のエラーチェック情報を前記リンク手段が生成する期間を利用して、制御情報からデータポインタを取得することを特徴とするデータ転送制御装置。

4. 請求項 1 において、

前記バケット結合手段が、

バケットの制御情報が読み出されていると、バケットの制御情報に含まれるバケットフォーマット識別情報に基づき判断した場合には、前記制御情報領域から読み出される制御情報のアドレスを指す制御情報ポインタを更新し、バケットのデータが読み出されていると、前記バケットフォーマット識別情報に基づき判断した場合には、前記データ領域から読み出されるデータのアドレスを指すデータ

ポインタを更新することを特徴とするデータ転送制御装置。

5. 請求項2において、

前記バケット結合手段が、

バケットの制御情報が読み出されていると、バケットの制御情報に含まれるバケットフォーマット識別情報に基づき判断した場合には、前記制御情報領域から読み出される制御情報のアドレスを指す制御情報ポインタを更新し、バケットのデータが読み出されていると、前記バケットフォーマット識別情報に基づき判断した場合には、前記データ領域から読み出されるデータのアドレスを指すデータポインタを更新することを特徴とするデータ転送制御装置。

6. 請求項3において、

前記バケット結合手段が、

バケットの制御情報が読み出されていると、バケットの制御情報に含まれるバケットフォーマット識別情報に基づき判断した場合には、前記制御情報領域から読み出される制御情報のアドレスを指す制御情報ポインタを更新し、バケットのデータが読み出されていると、前記バケットフォーマット識別情報に基づき判断した場合には、前記データ領域から読み出されるデータのアドレスを指すデータポインタを更新することを特徴とするデータ転送制御装置。

7. 請求項1において、

前記データ領域へのデータの取り込み処理の間に、制御情報を作成し該制御情報を前記制御情報領域に書き込む制御情報作成手段と、

データの取り込み処理と制御情報の書き込み処理の両方が完了したことを条件に、バケットの送信開始を命令する送信開始手段とを含むことを特徴とするデータ転送制御装置。

8. 請求項2において、

前記データ領域へのデータの取り込み処理の間に、制御情報を作成し該制御情報を前記制御情報領域に書き込む制御情報作成手段と、

データの取り込み処理と制御情報の書き込み処理の両方が完了したことを条件に、バケットの送信開始を命令する送信開始手段とを含むことを特徴とするデー

タ転送制御装置。

9. 請求項3において、

前記データ領域へのデータの取り込み処理の間に、制御情報を作成し該制御情報を前記制御情報領域に書き込む制御情報作成手段と、

データの取り込み処理と制御情報の書き込み処理の両方が完了したことを条件に、パケットの送信開始を命令する送信開始手段とを含むことを特徴とするデータ転送制御装置。

10. 請求項4において、

前記データ領域へのデータの取り込み処理の間に、制御情報を作成し該制御情報を前記制御情報領域に書き込む制御情報作成手段と、

データの取り込み処理と制御情報の書き込み処理の両方が完了したことを条件に、パケットの送信開始を命令する送信開始手段とを含むことを特徴とするデータ転送制御装置。

11. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

ランダムアクセス可能な記憶手段の送信パケット領域が複数のチャンネルに分離されている場合において、前記複数のチャンネルに格納されるパケットの中で、データの取り込み処理と制御情報の書き込み処理の両方が完了したパケットの送信開始を命令する送信開始手段と、

送信開始が命令されたパケットを、送信パケット領域の対応するチャンネルから読み出す読み出し手段と、

読み出されたパケットを各ノードに転送するためのサービスを提供するリンク手段とを含むことを特徴とするデータ転送制御装置。

12. 請求項11において、

前記複数のチャンネルの中の1のチャンネルからパケットが送信されている間に、他のチャンネルのパケットについてのデータの取り込みを指示する手段を含むことを特徴とするデータ転送制御装置。

13. 請求項11において、

データ取り込み中フラグがクリアされていることを条件に、データの取り込みを指示すると共に該データ取り込み中フラグをセットし、データの取り込みが終了したことを条件に、該データ取り込み中フラグをクリアする手段と、

送信中フラグがクリアされていることを条件に、パケットの送信開始を命令すると共に該送信中フラグをセットし、パケットの送信が終了したことを条件に、該送信中フラグをクリアする手段とを含むことを特徴とするデータ転送制御装置。

14. 請求項12において、

データ取り込み中フラグがクリアされていることを条件に、データの取り込みを指示すると共に該データ取り込み中フラグをセットし、データの取り込みが終了したことを条件に、該データ取り込み中フラグをクリアする手段と、

送信中フラグがクリアされていることを条件に、パケットの送信開始を命令すると共に該送信中フラグをセットし、パケットの送信が終了したことを条件に、該送信中フラグをクリアする手段とを含むことを特徴とするデータ転送制御装置。

15. 請求項11において、

各チャンネルに格納される各パケットが、パケット同士を連結するための連結ポインタを含み、

前記読み出し手段が、

前記送信開始手段により1のチャンネルのパケットの送信開始が命令された場合に、前記連結ポインタを用いて、他のチャンネルのパケットを連続して順次読み出すことを特徴とするデータ転送制御装置。

16. 請求項12において、

各チャンネルに格納される各パケットが、パケット同士を連結するための連結ポインタを含み、

前記読み出し手段が、

前記送信開始手段により1のチャンネルのパケットの送信開始が命令された場合に、前記連結ポインタを用いて、他のチャンネルのパケットを連続して順次読み出すことを特徴とするデータ転送制御装置。

17. 請求項13において、

各チャネルに格納される各パケットが、パケット同士を連結するための連結ポイントを含み、

前記読み出し手段が、

前記送信開始手段により 1 のチャネルのパケットの送信開始が命令された場合に、前記連結ポイントを用いて、他のチャネルのパケットを連続して順次読み出すことを特徴とするデータ転送制御装置。

18. 請求項 11 において、

パケットの転送先から返送されてくるアクノリッジメント情報を、送信パケット領域の複数のチャネルの中の該パケットの送信元のチャネルに書き戻す書き戻し手段を含むことを特徴とするデータ転送制御装置。

19. 請求項 12 において、

パケットの転送先から返送されてくるアクノリッジメント情報を、送信パケット領域の複数のチャネルの中の該パケットの送信元のチャネルに書き戻す書き戻し手段を含むことを特徴とするデータ転送制御装置。

20. 請求項 13 において、

パケットの転送先から返送されてくるアクノリッジメント情報を、送信パケット領域の複数のチャネルの中の該パケットの送信元のチャネルに書き戻す書き戻し手段を含むことを特徴とするデータ転送制御装置。

21. 請求項 15 において、

パケットの転送先から返送されてくるアクノリッジメント情報を、送信パケット領域の複数のチャネルの中の該パケットの送信元のチャネルに書き戻す書き戻し手段を含むことを特徴とするデータ転送制御装置。

22. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

記憶手段に書き込まれたパケットを読み出す読み出し手段と、

読み出されたパケットを各ノードに転送するためのサービスを提供するリンク手段と、

パケットの転送先から返送されてくるアクノリッジメント情報を、返送されて

きたアクノリッジメント情報を確認せずに連続転送できるパケット数以上の個数だけ記憶する手段とを含むことを特徴とするデータ転送制御装置。

23. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

送信繰返し回数情報を設定する手段と、

基本制御情報を作成する制御情報作成手段と、

パケットの送信開始を命令する送信開始手段と、

パケットの送信開始が命令された場合に、前記基本制御情報を書き換えることで、連続転送されるパケットのデータと対をなす制御情報を順次生成する制御情報書き換え手段と、

データと順次生成された制御情報とによりフレームが構成されるパケットを、送信繰返し回数情報が所与の値になるまで連続転送する手段とを含むことを特徴とするデータ転送制御装置。

24. 請求項23において、

前記基本制御情報が、

前記送信繰返し回数情報と、ランダムアクセス可能な記憶手段のデータ領域から読み出されるデータのアドレスを指すデータポインタと、トランザクション識別情報とを含み、

前記制御情報書き換え手段が、

前記送信繰返し回数情報、前記データポインタ、及び前記トランザクション識別情報を書き換えることを特徴とするデータ転送制御装置。

25. 請求項1において、

後段のアプリケーションに接続される第1のバスと、

該データ転送制御装置をコントロールする第2のバスと、

物理層のデバイスに電氣的に接続される第3のバスと、

前記記憶手段に電氣的に接続される第4のバスと、

前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御

装置。

26. 請求項11において、

後段のアプリケーションに接続される第1のバスと、

該データ転送制御装置をコントロールする第2のバスと、

物理層のデバイスに電氣的に接続される第3のバスと、

前記記憶手段に電氣的に接続される第4のバスと、

前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御装置。

27. 請求項22において、

後段のアプリケーションに接続される第1のバスと、

該データ転送制御装置をコントロールする第2のバスと、

物理層のデバイスに電氣的に接続される第3のバスと、

前記記憶手段に電氣的に接続される第4のバスと、

前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御装置。

28. 請求項23において、

後段のアプリケーションに接続される第1のバスと、

該データ転送制御装置をコントロールする第2のバスと、

物理層のデバイスに電氣的に接続される第3のバスと、

前記記憶手段に電氣的に接続される第4のバスと、

前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御装置。

29. 請求項1において、

IEEE 1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

30. 請求項11において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

31. 請求項22において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

32. 請求項23において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

33. 請求項1乃至32のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

34. 請求項1乃至32のいずれかのデータ転送制御装置と、

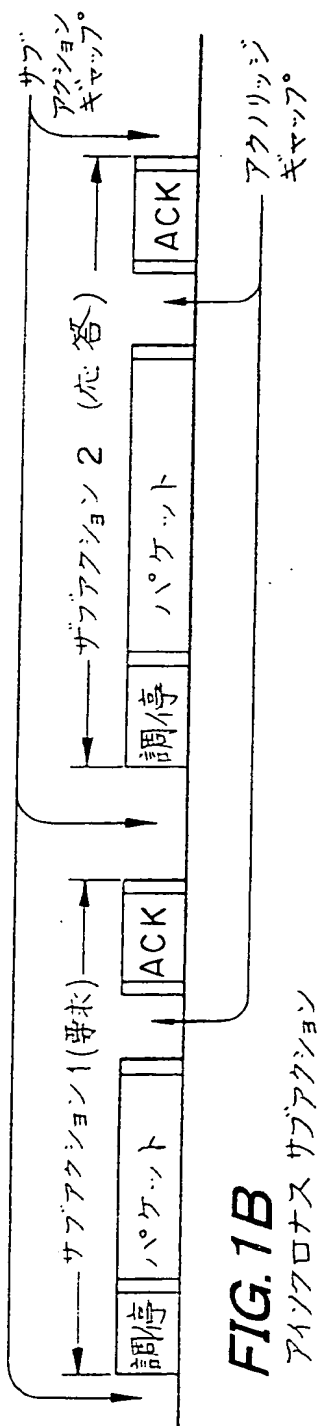
前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

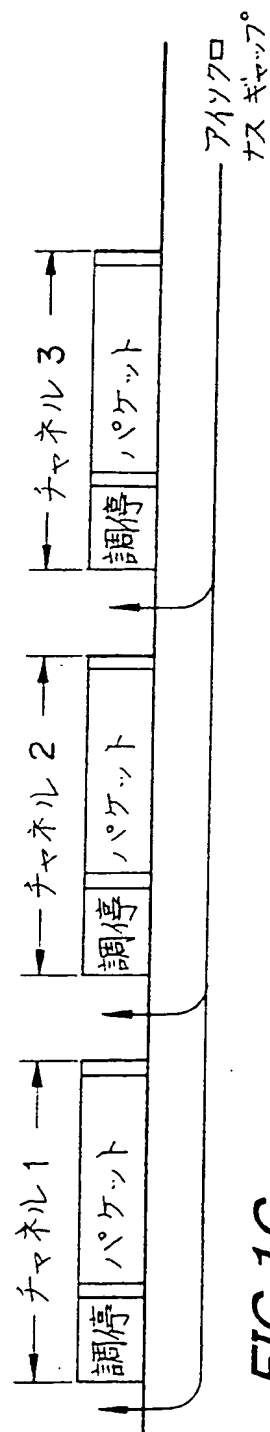


**FIG. 1A**

非同期サブアクション



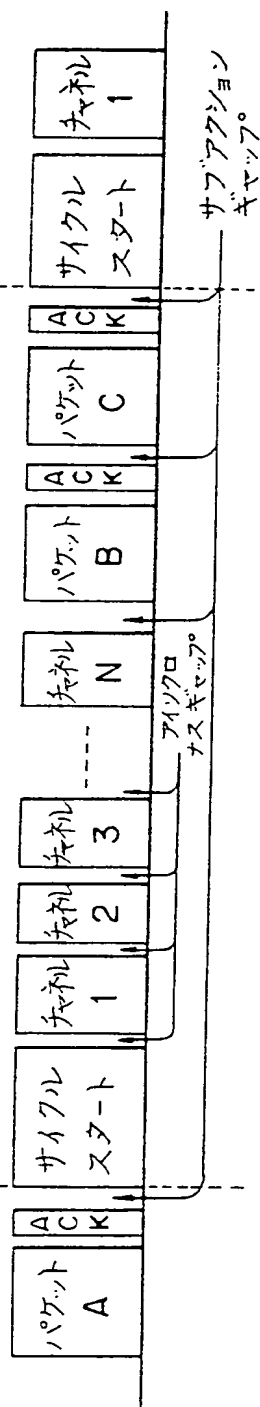
アイソクロナスガブアクション



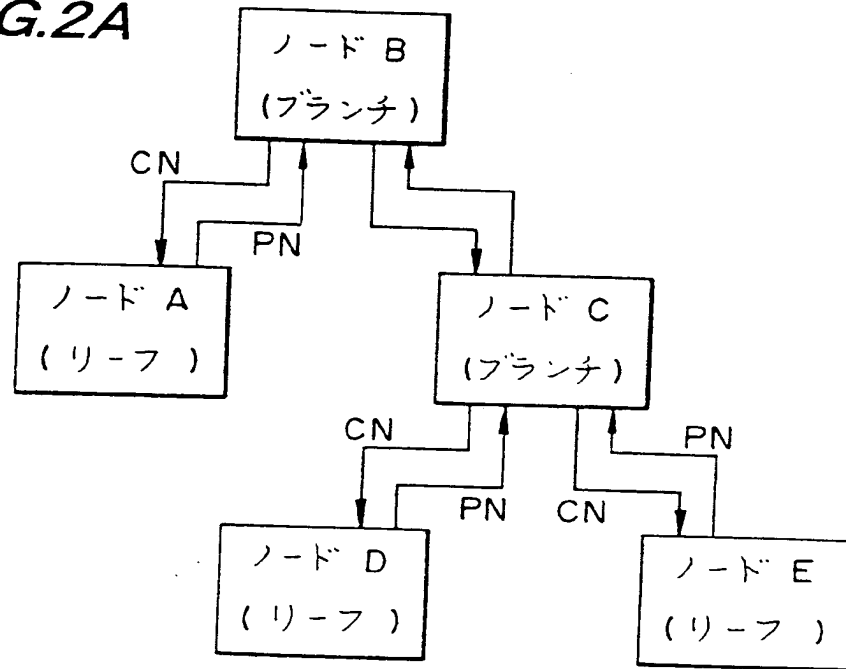
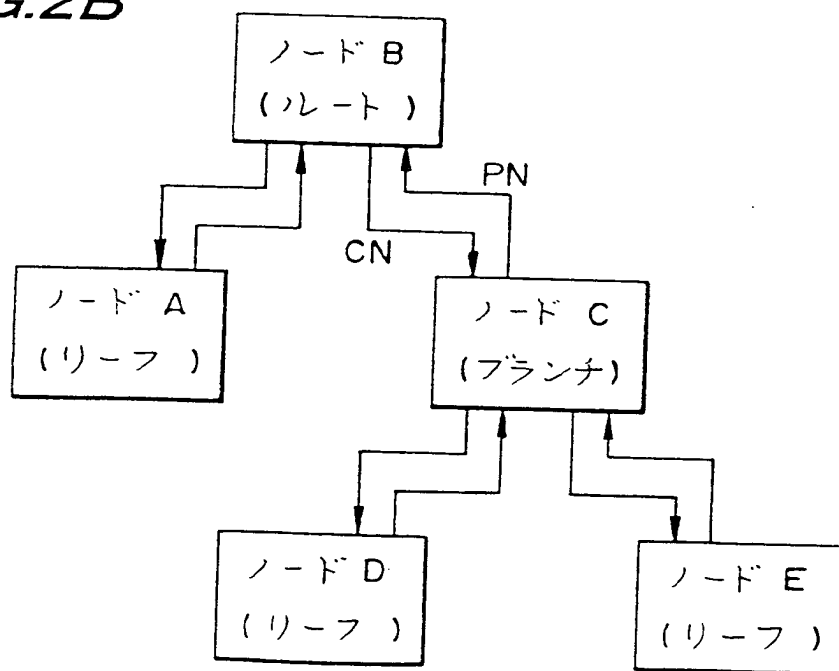
**FIG. 1C**

サイクルm-1-

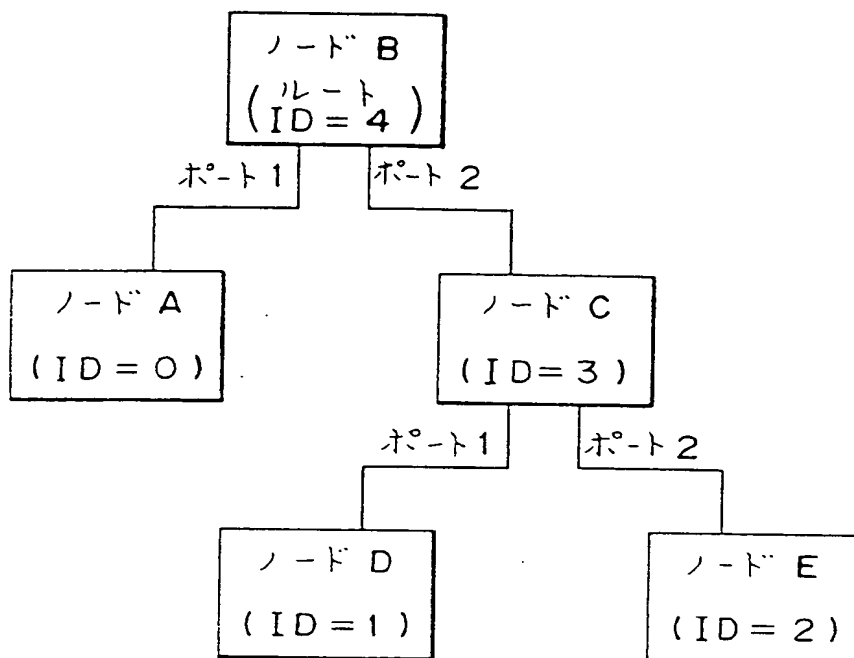
サイズ m

サイワル  $m+1$ 

2/32

**FIG.2A****FIG.2B**

3/32

**FIG. 3**

4/32

FIG. 4A

セルフ ID バケット #0

b.31													b.0	
0	10	PHY_ID	0	L	gap_cnt	sp	del	C	pwr	p0	p1	p2	i	m
1	最初の32ビットの反転													

FIG. 4B

セルフ ID パケット # 1, # 2, # 3

b.31																														b.0														
0	10	PHY_ID	1	n	rsv	pa	pb	pc	pd	pe	pf	pg	ph	r	m																													
1	最初の32ビットの反転																																											

FIG. 4C

## リンクオンパケット

b.31												b.0											
0	01	PHY_ID	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000								
1	最初の32ビットの反転																						

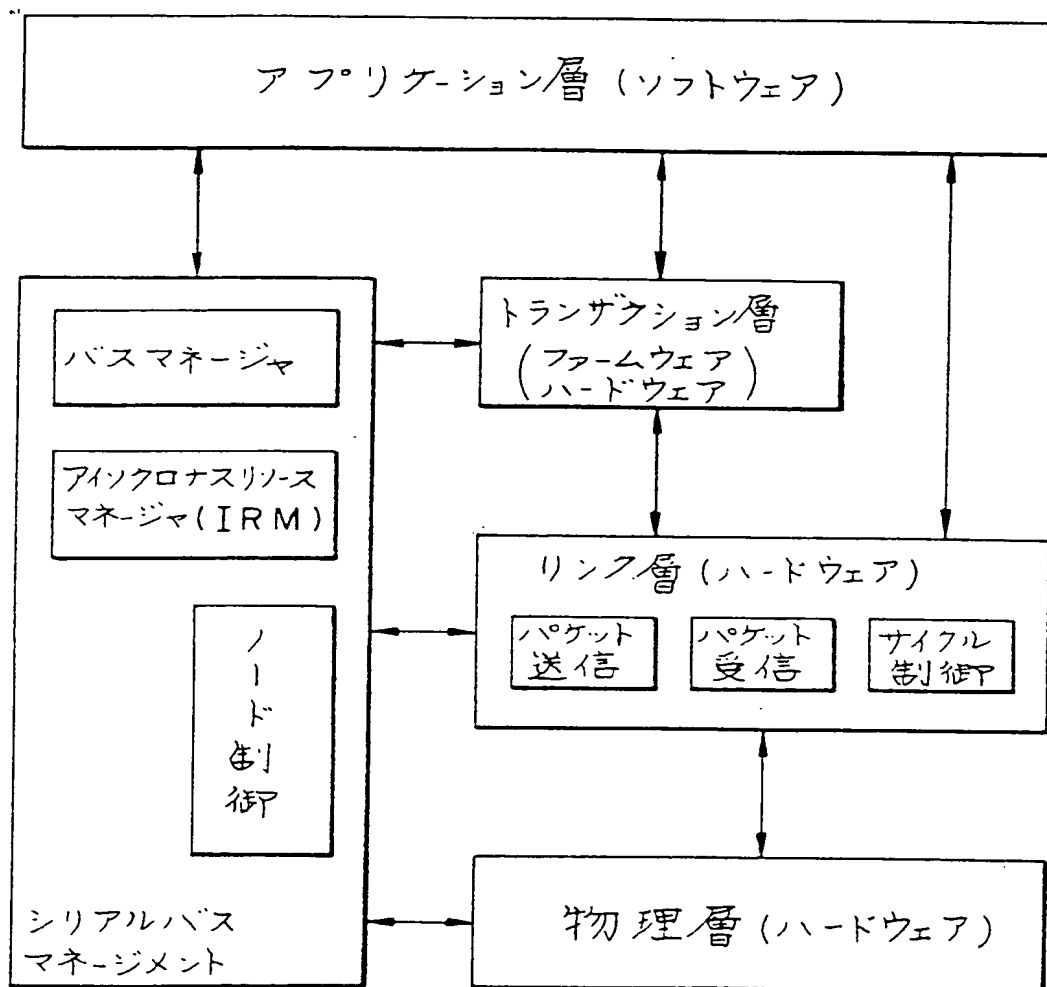
FIG. 4D

PHY構成バケット

b.31										b.0									
0	00	PHY_ID	R	T	gap_cnt	0000	0000	0000	0000										
1	最初の32ビットの反転																		

5/32

FIG. 5





7/32

**FIG. 7**

メモリマップ

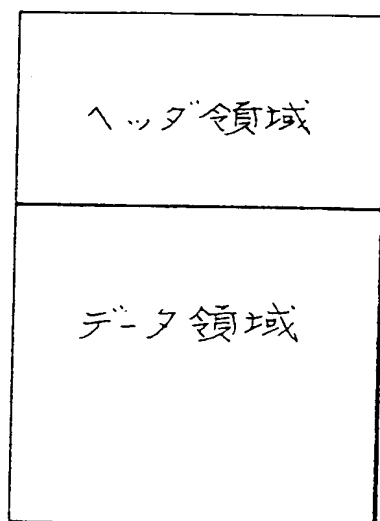
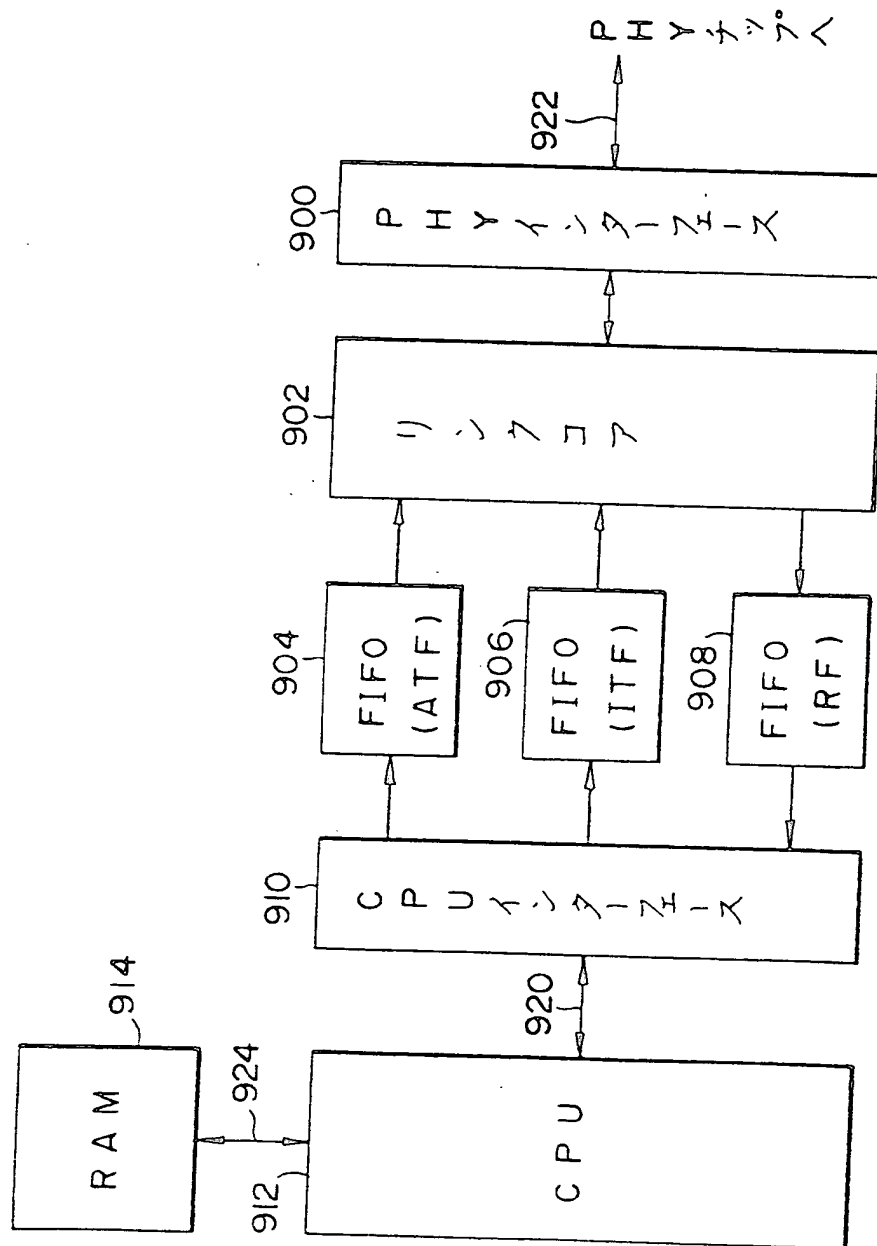
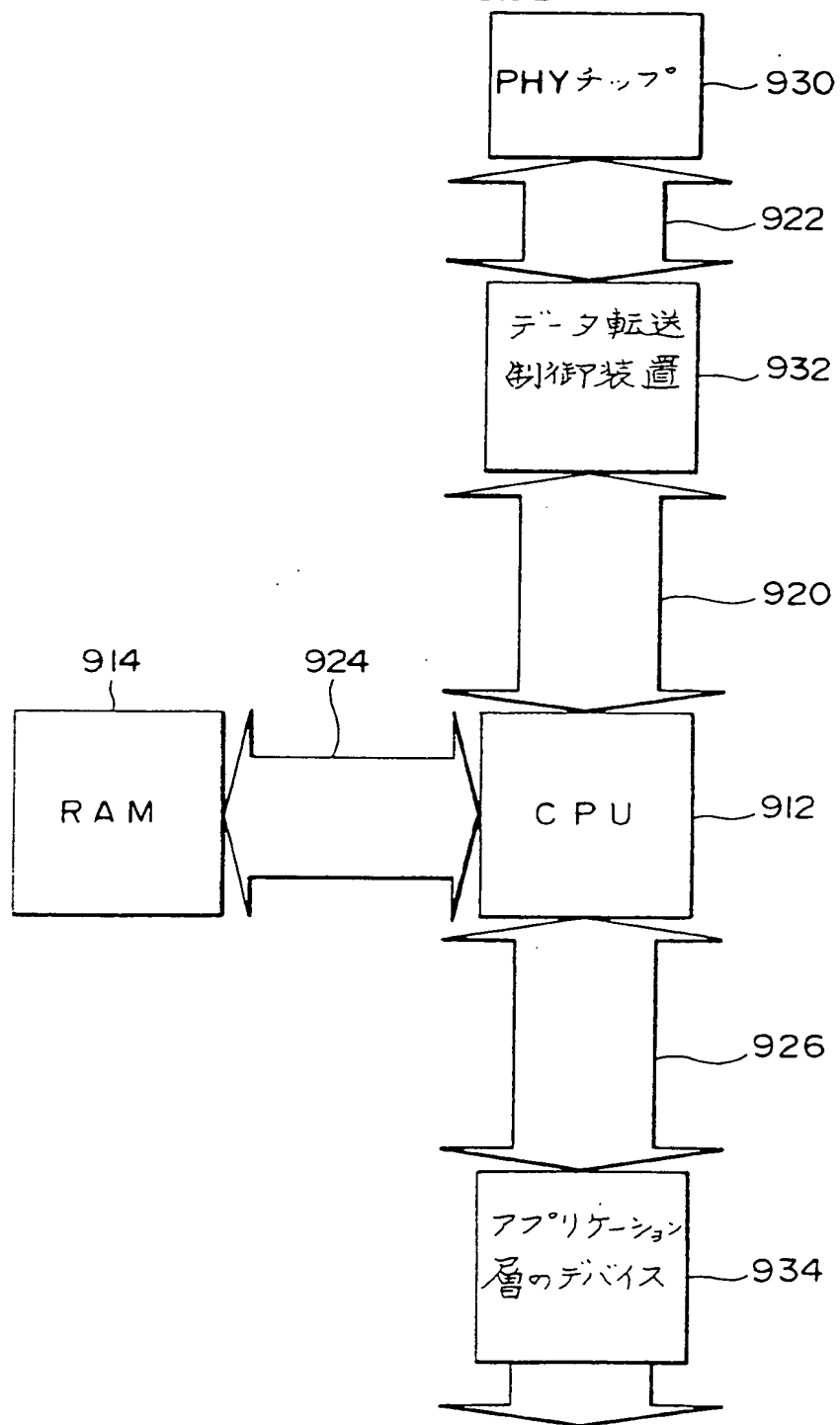


FIG. 8



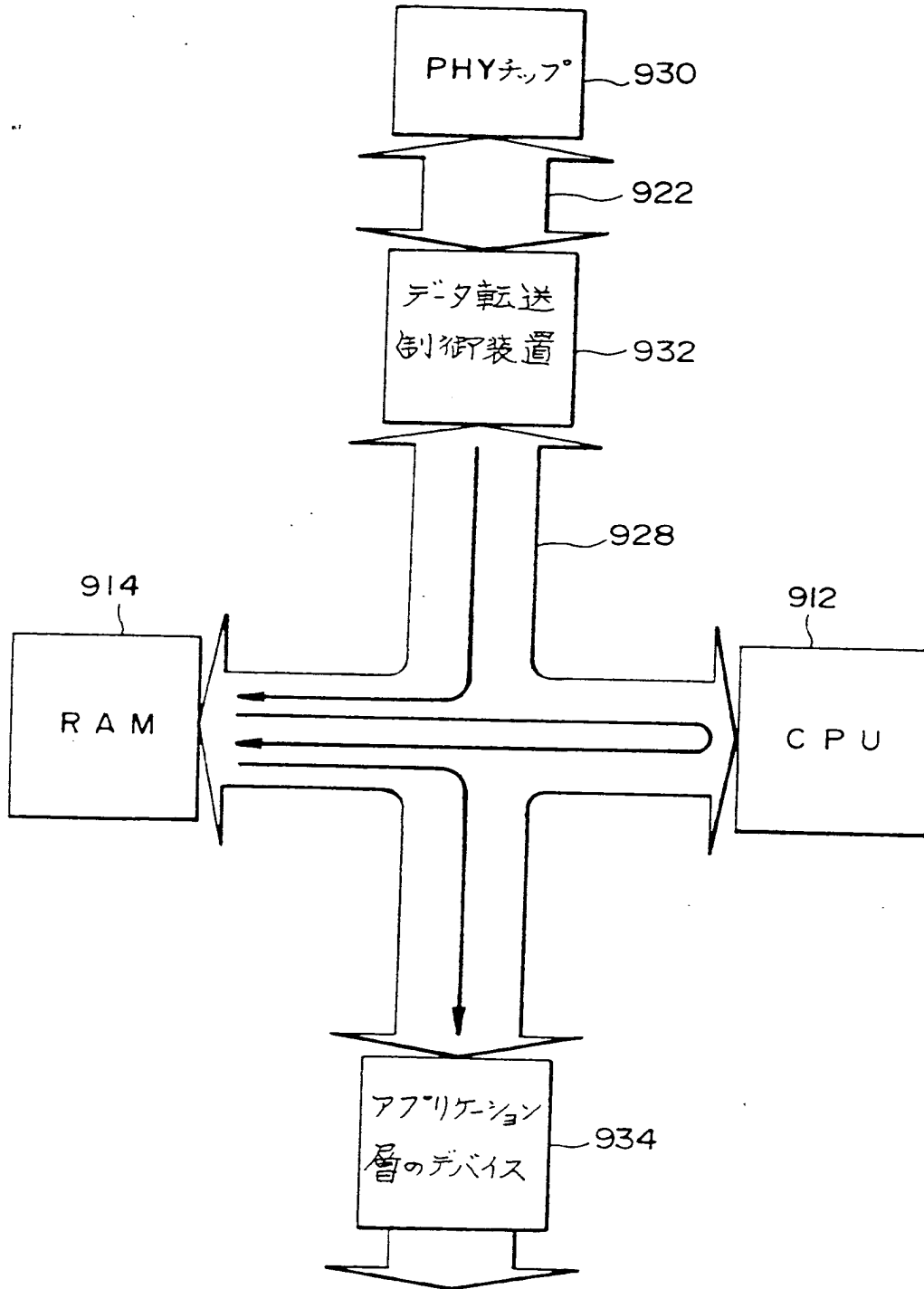


9/32

**FIG. 9**

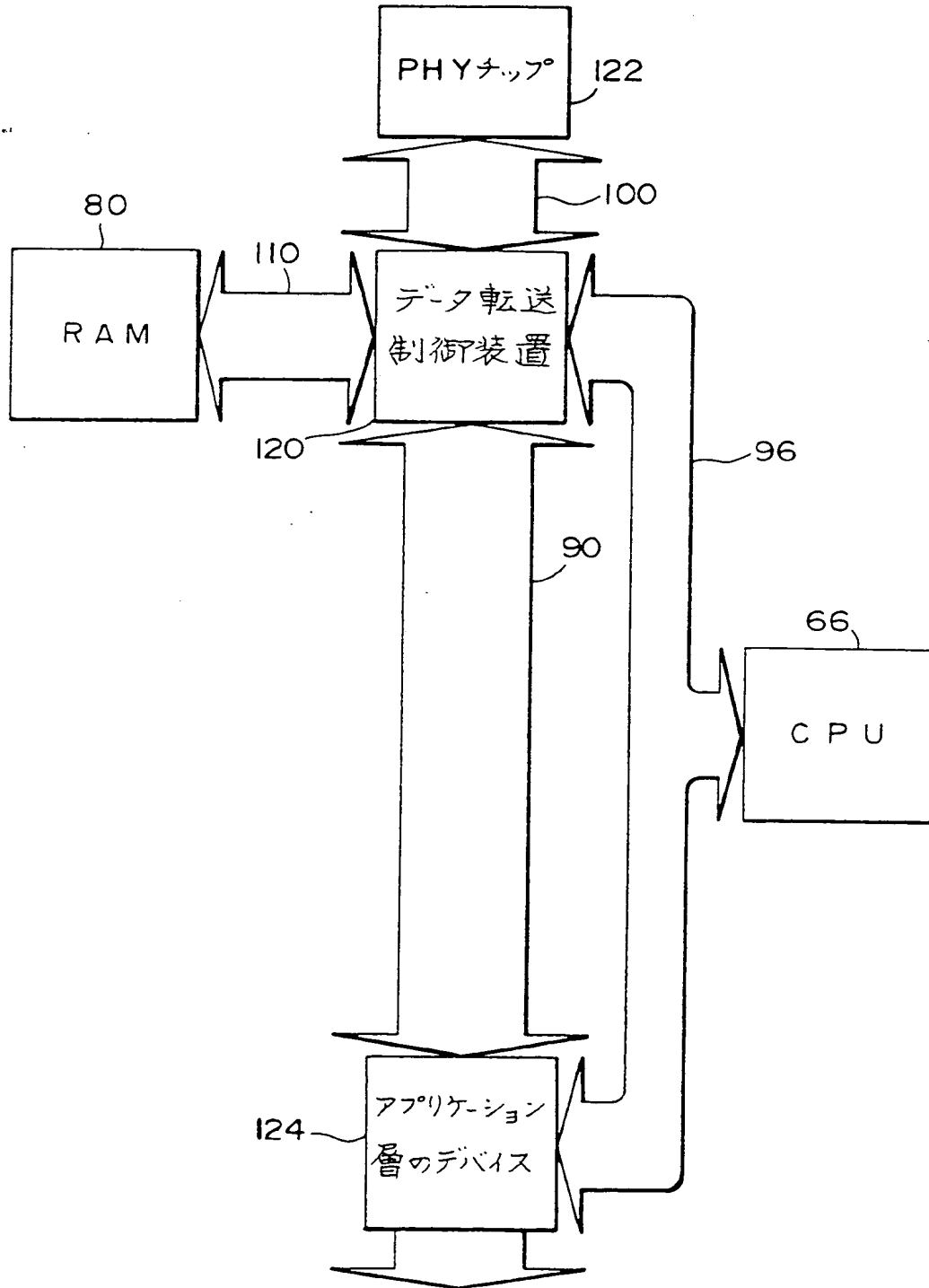
10/32

**FIG. 10**



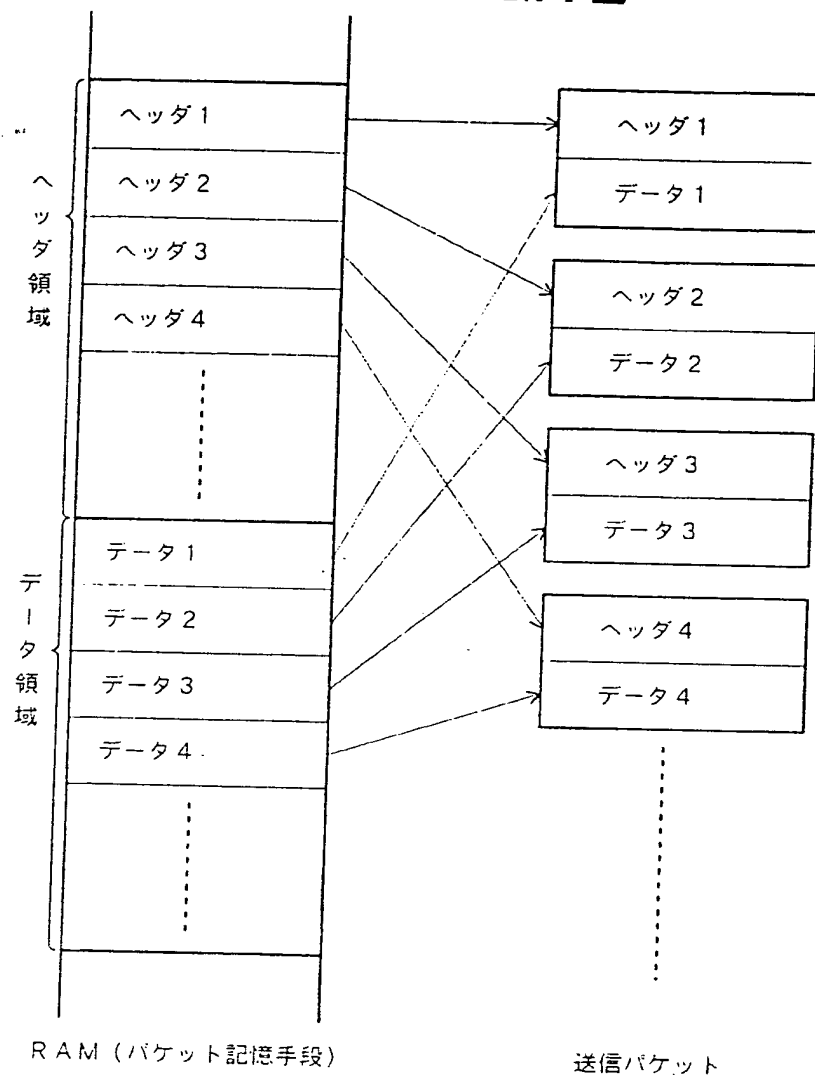
11/32

**FIG. 11**

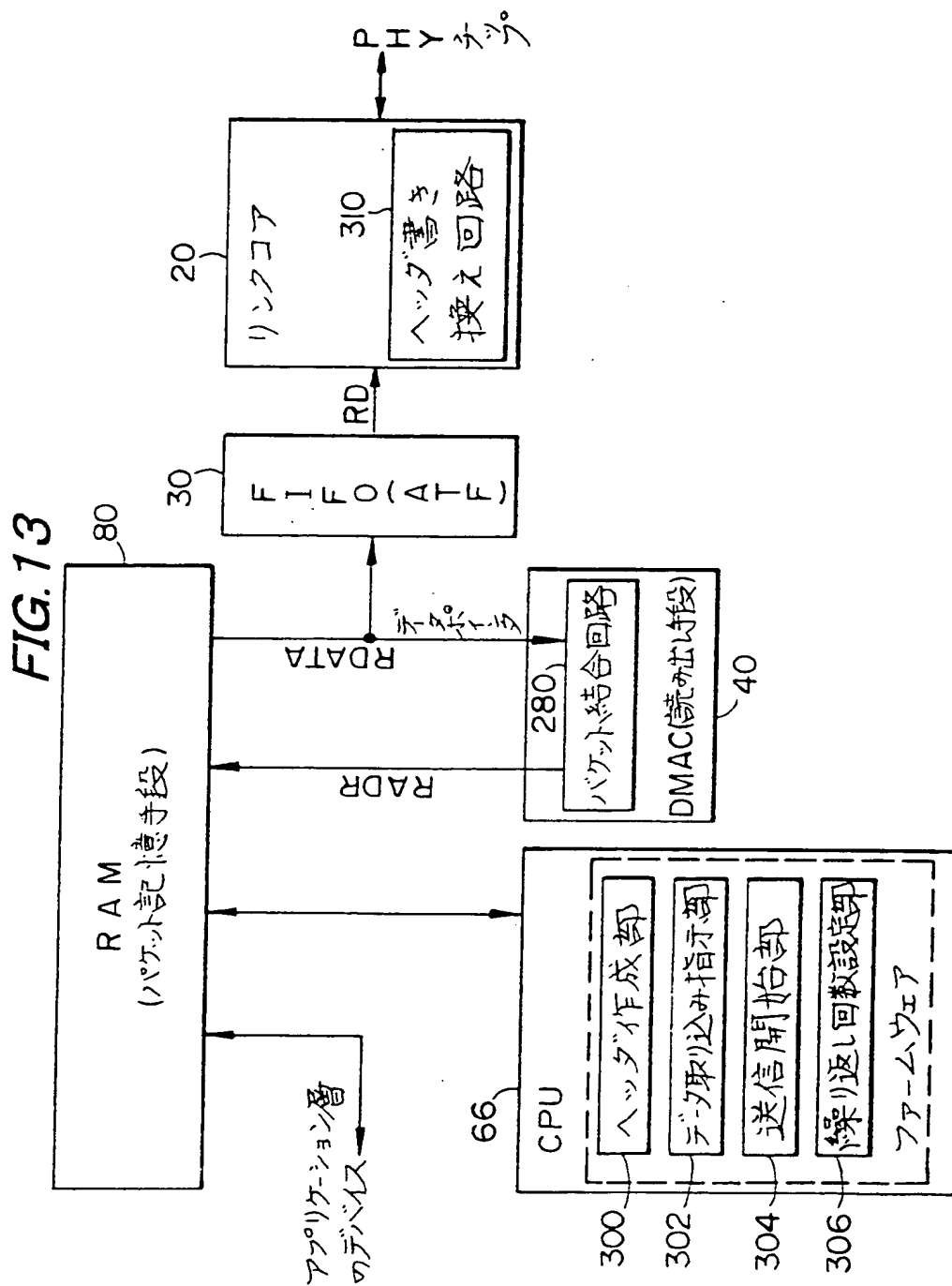


12/32

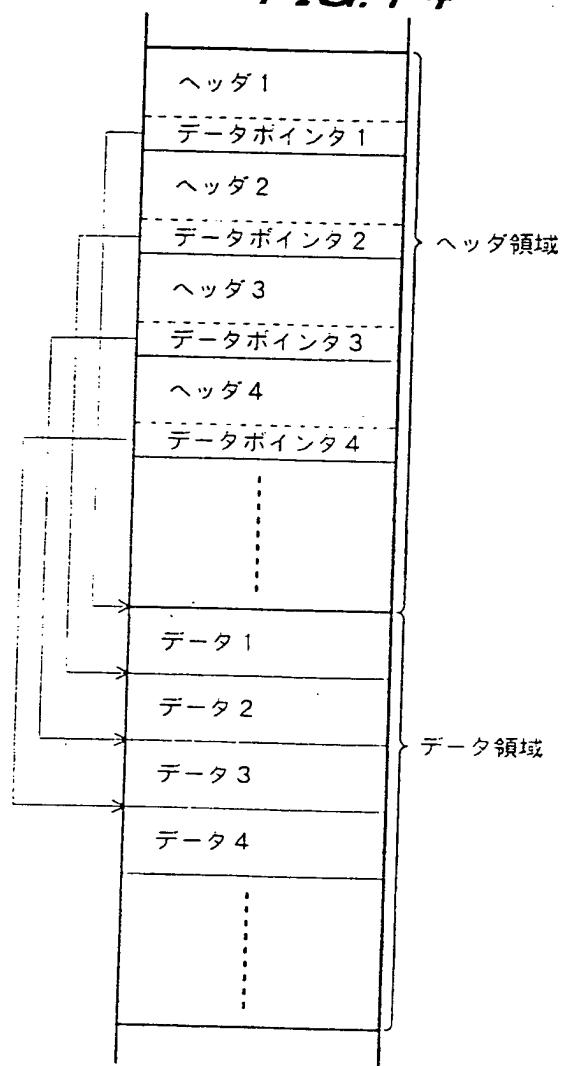
FIG. 12



13/32



14/32

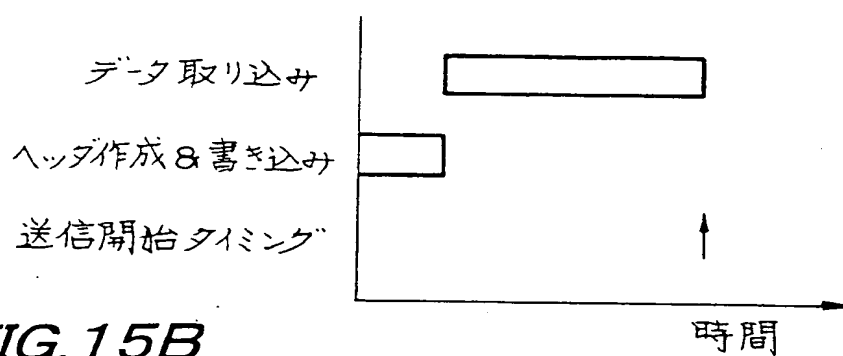
**FIG. 14**

RAM (バケット記憶手段)

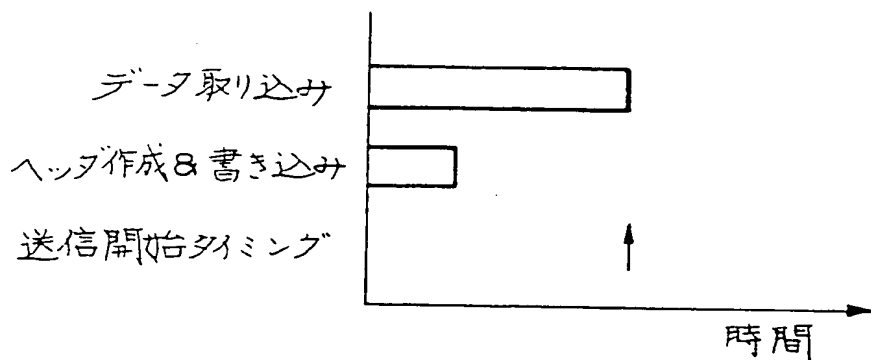
15/32

**FIG. 15A**

比較例

**FIG. 15B**

本実施形態



16/32

FIG. 16A

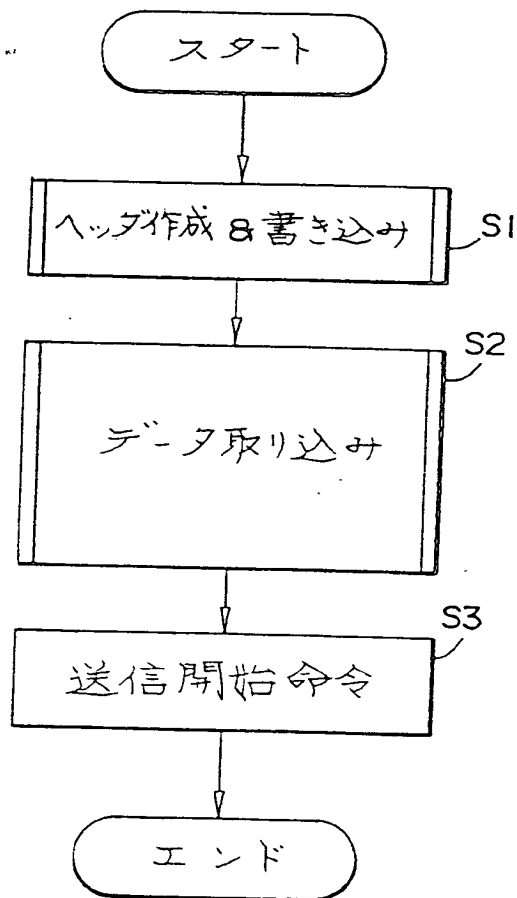
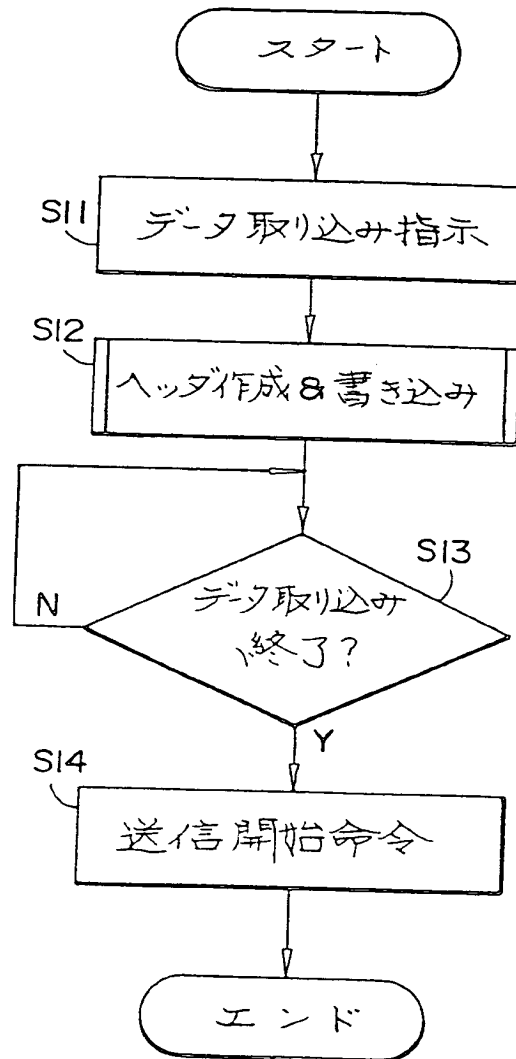
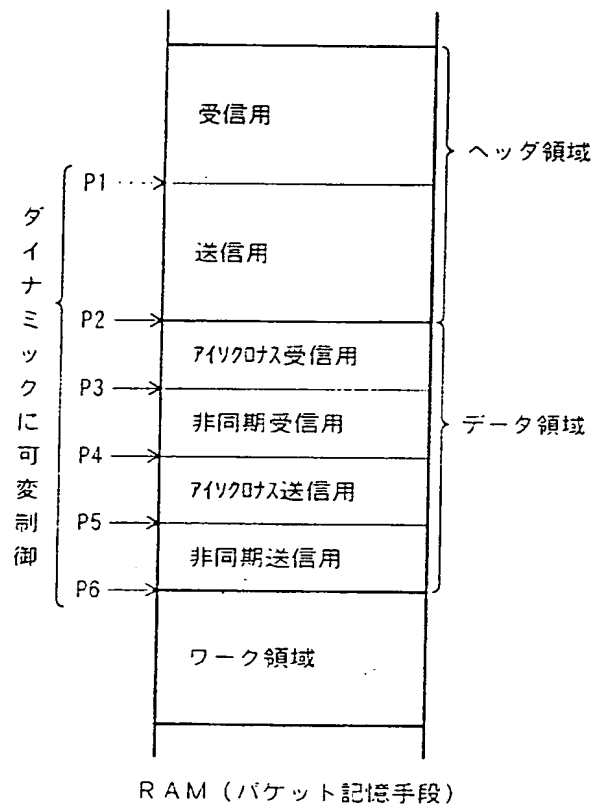


FIG. 16B





**FIG. 17**



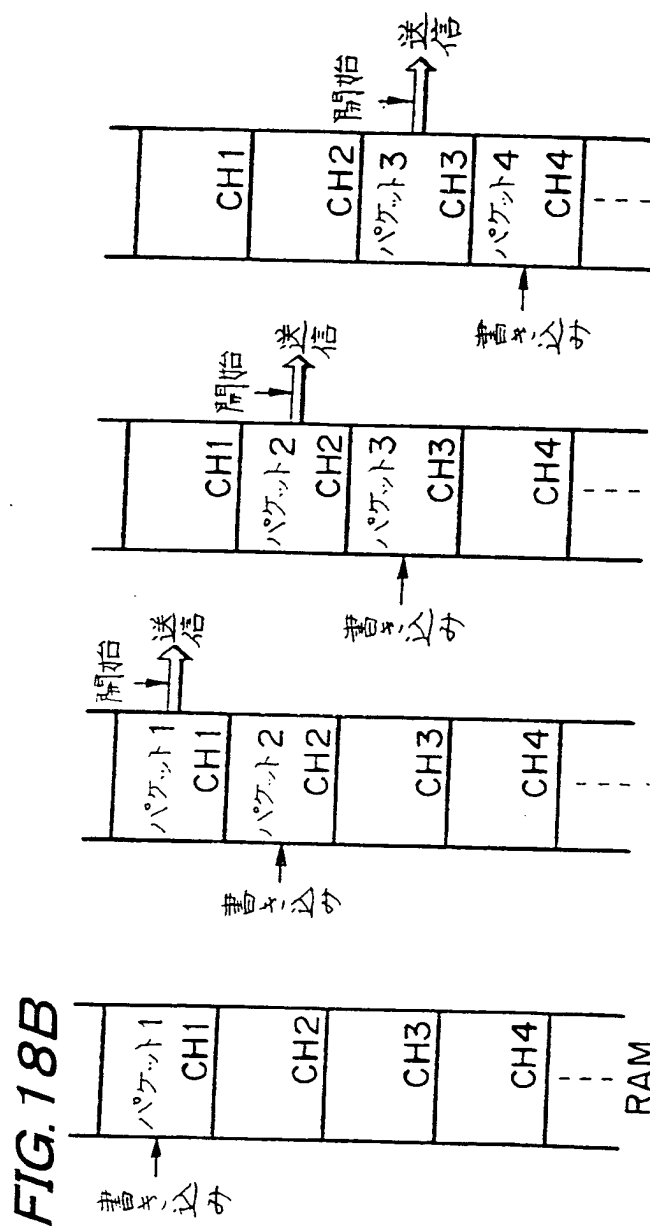
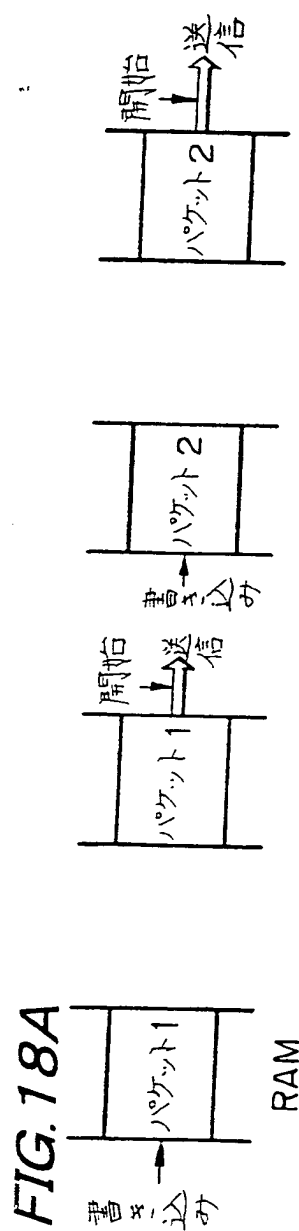
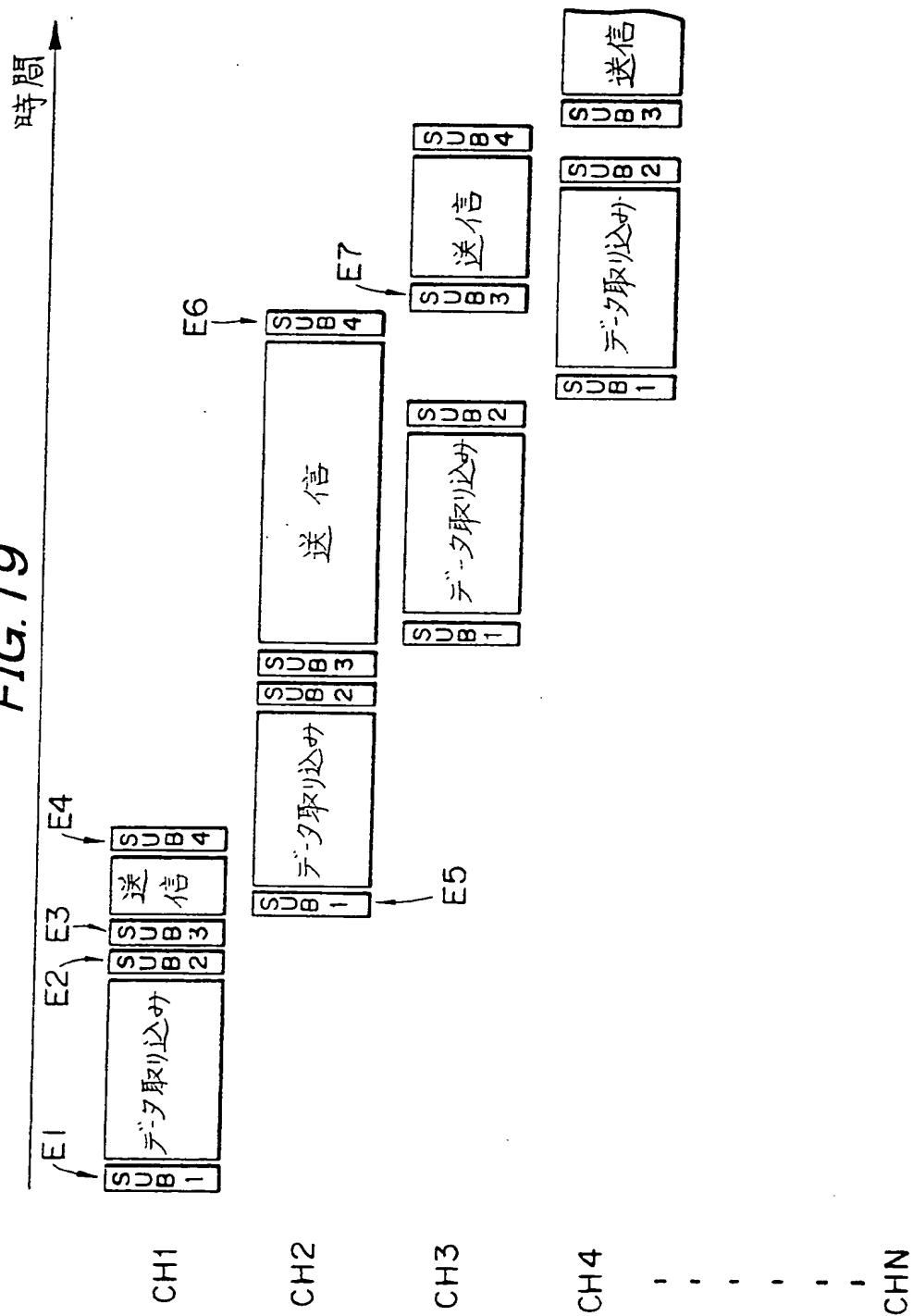
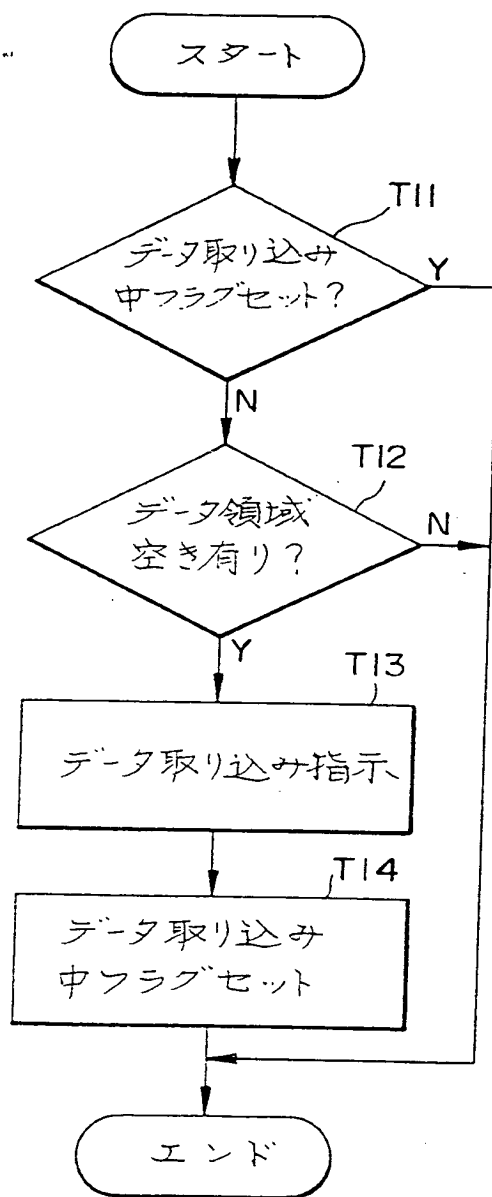


FIG. 19

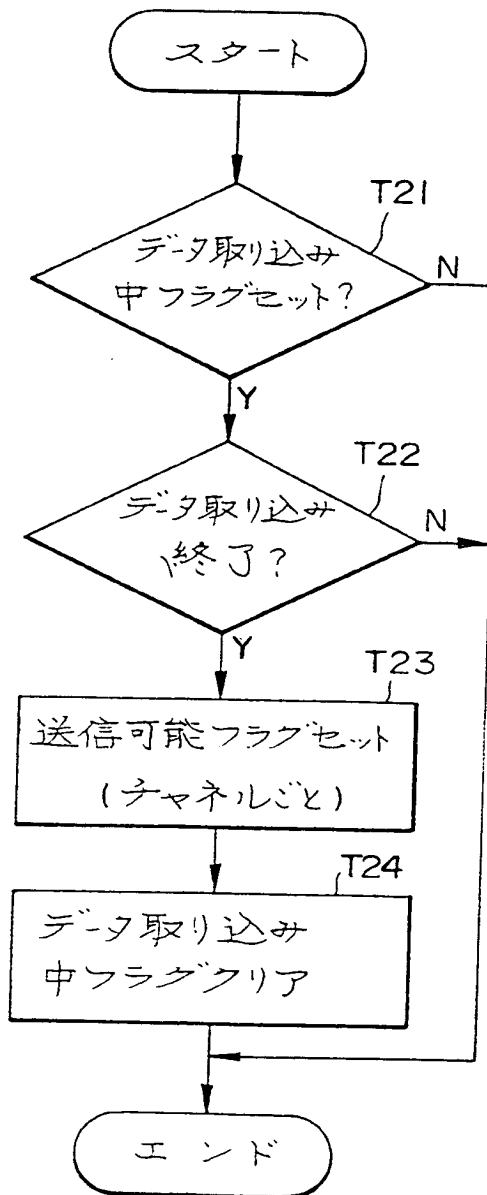


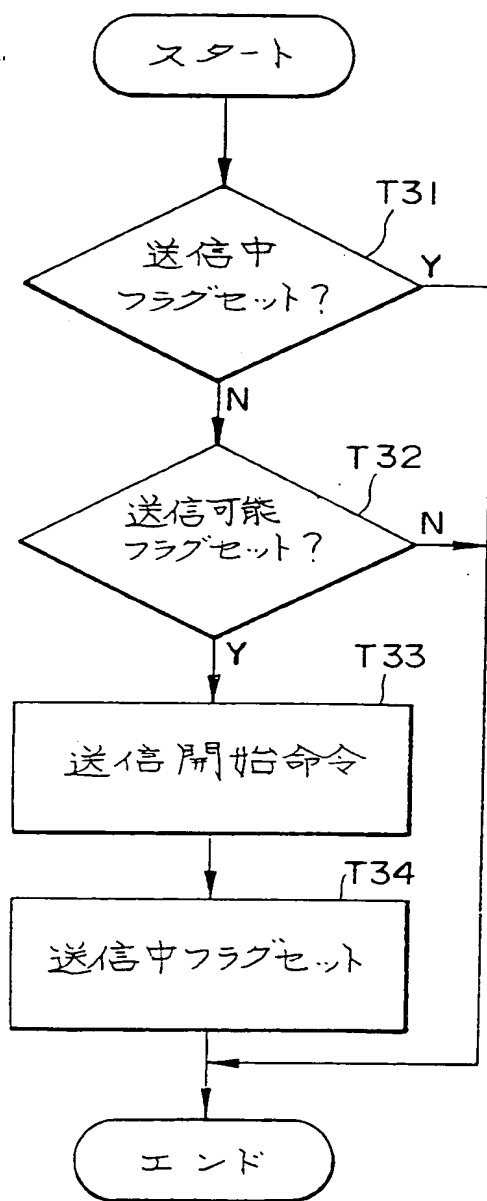
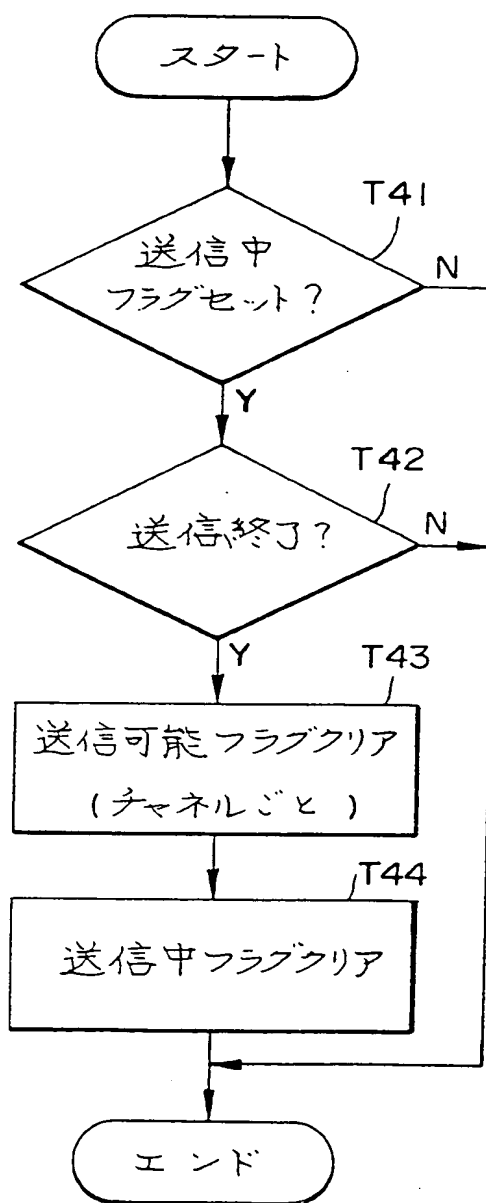
**FIG. 20A**

SUB 1

**FIG. 20B**

SUB 2



**FIG.21A**  
SUB 3**FIG.21B**  
SUB 4

22/32

FIG. 22A

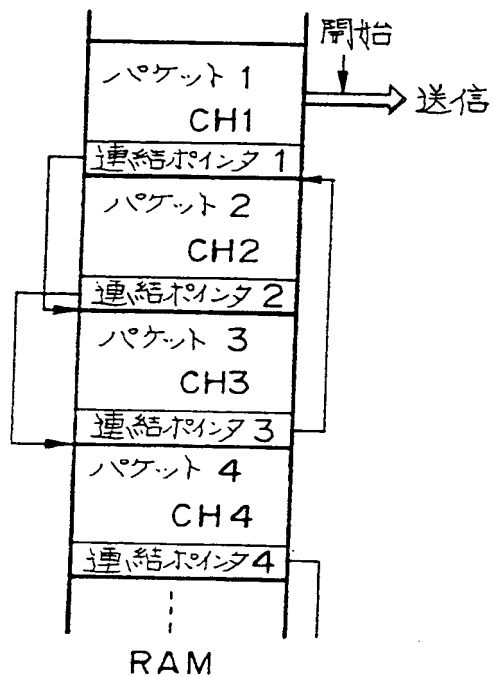


FIG. 22B

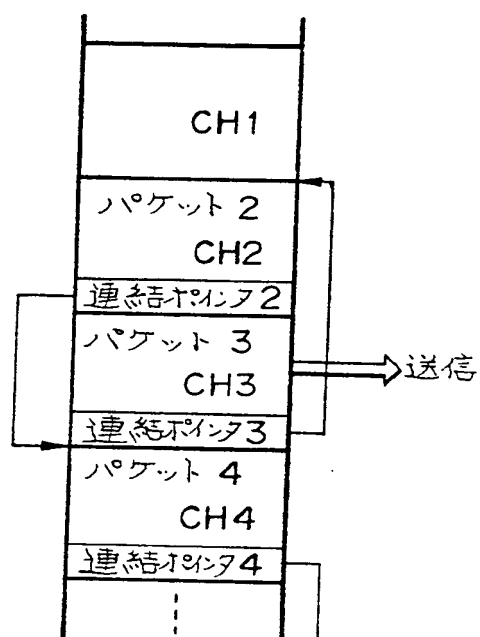


FIG. 22C

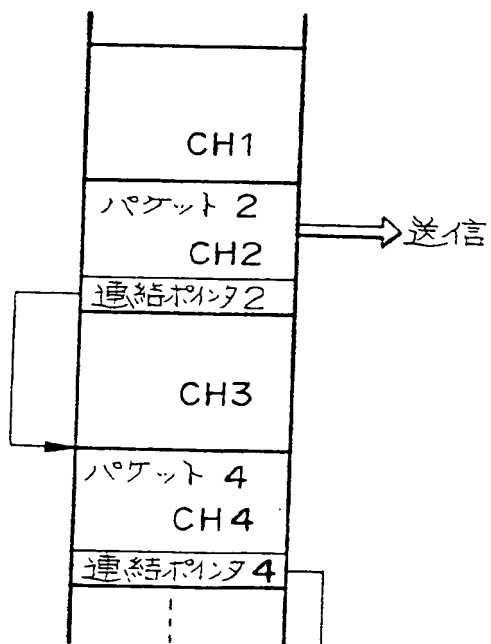
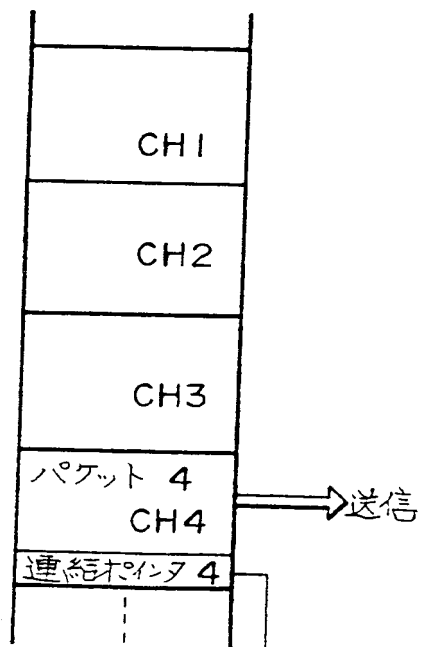


FIG. 22D



23/32

FIG. 23A

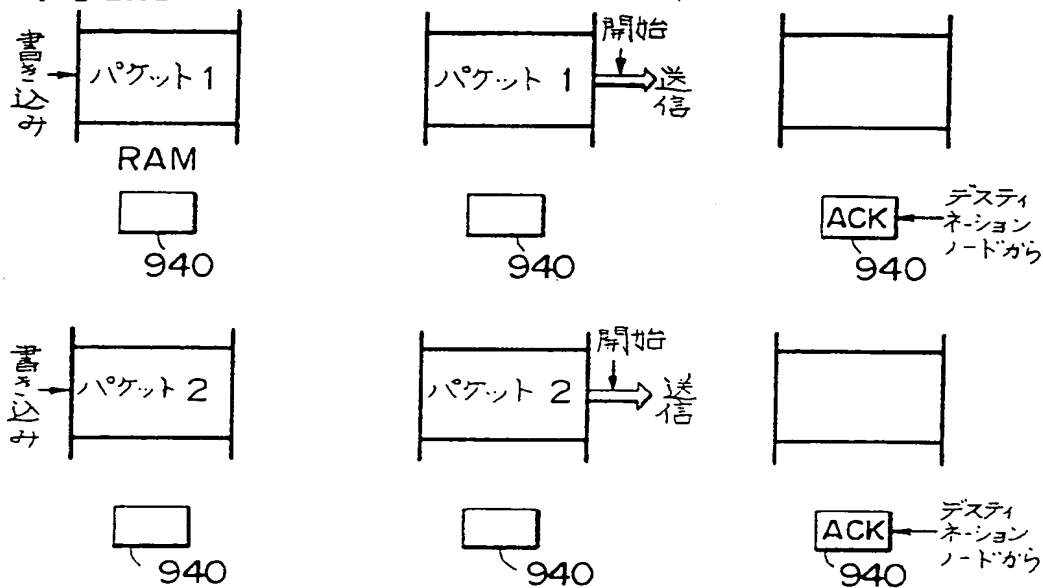


FIG. 23B

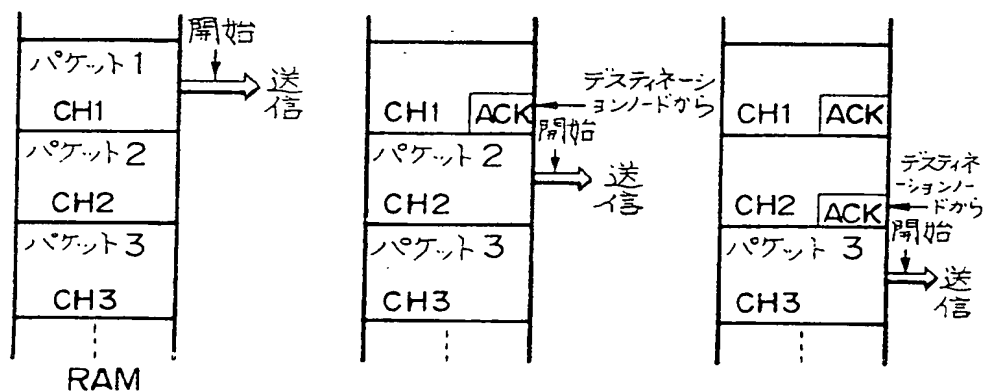


FIG. 23C

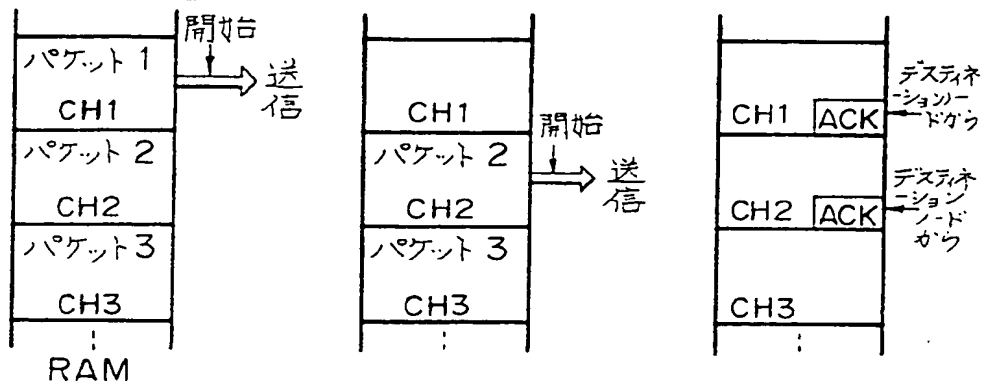


FIG. 24A

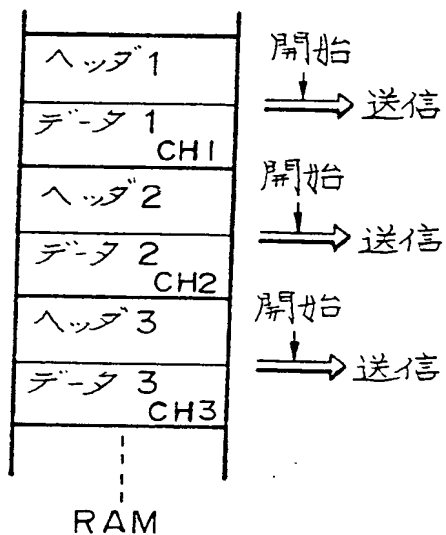


FIG. 24B

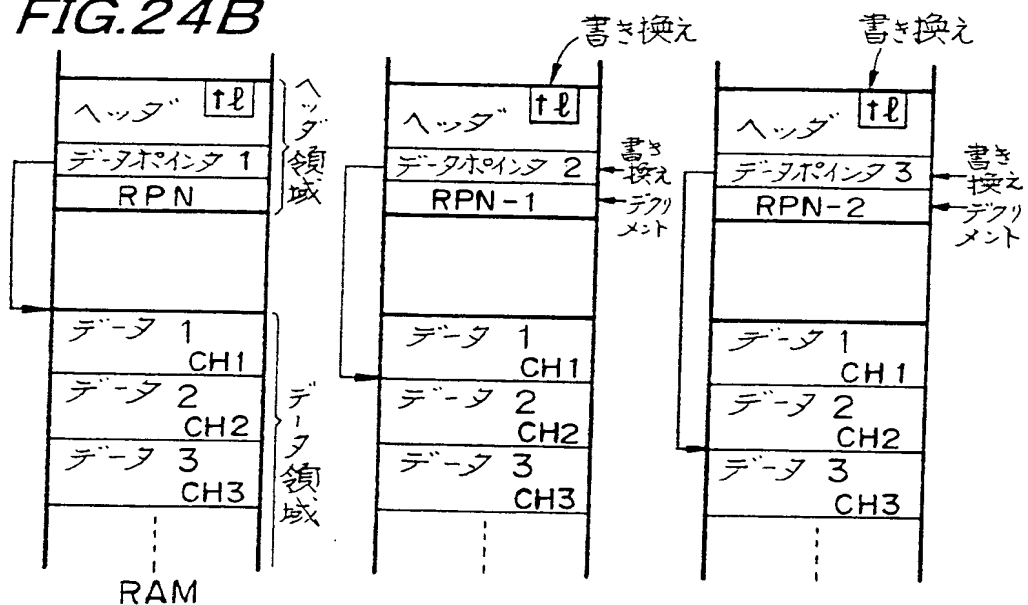




FIG. 25A

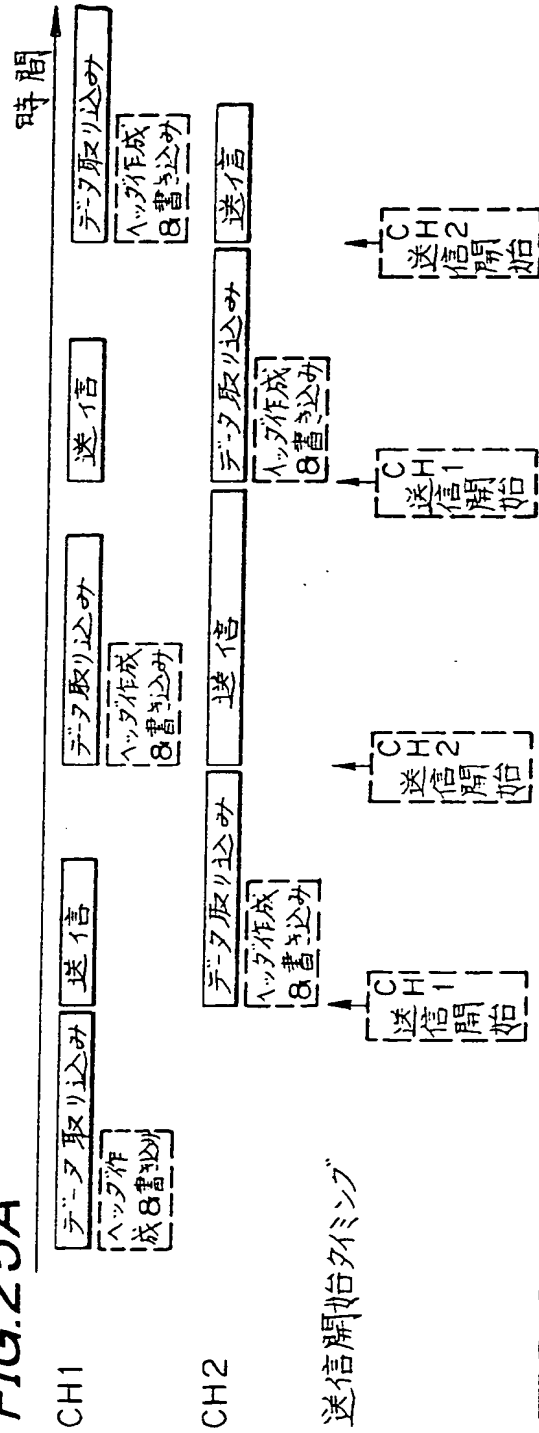
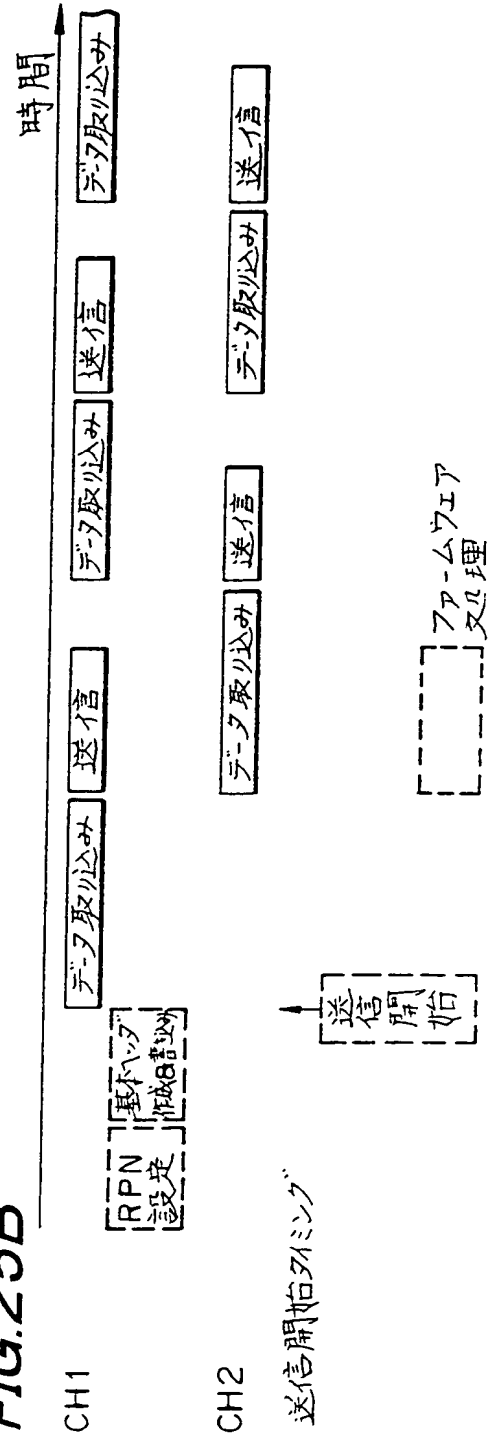


FIG. 25B



26/32

FIG. 26

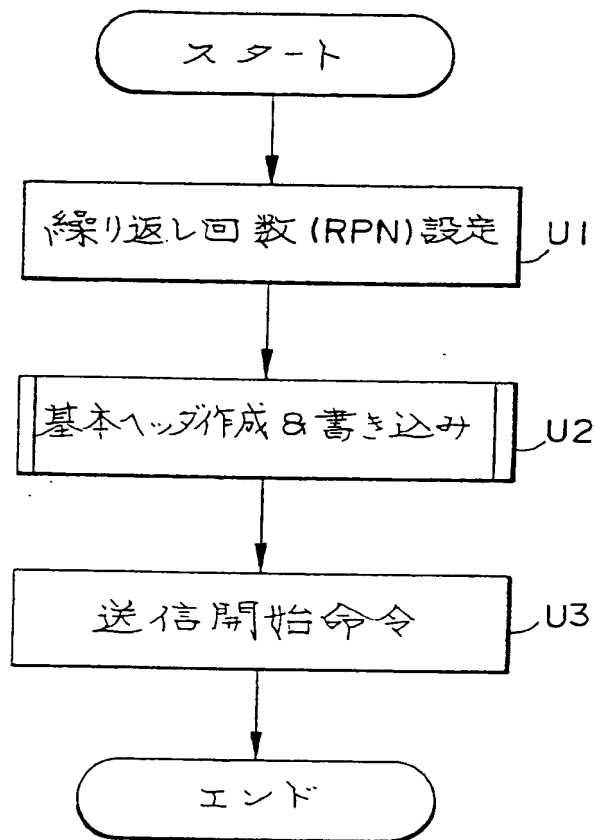
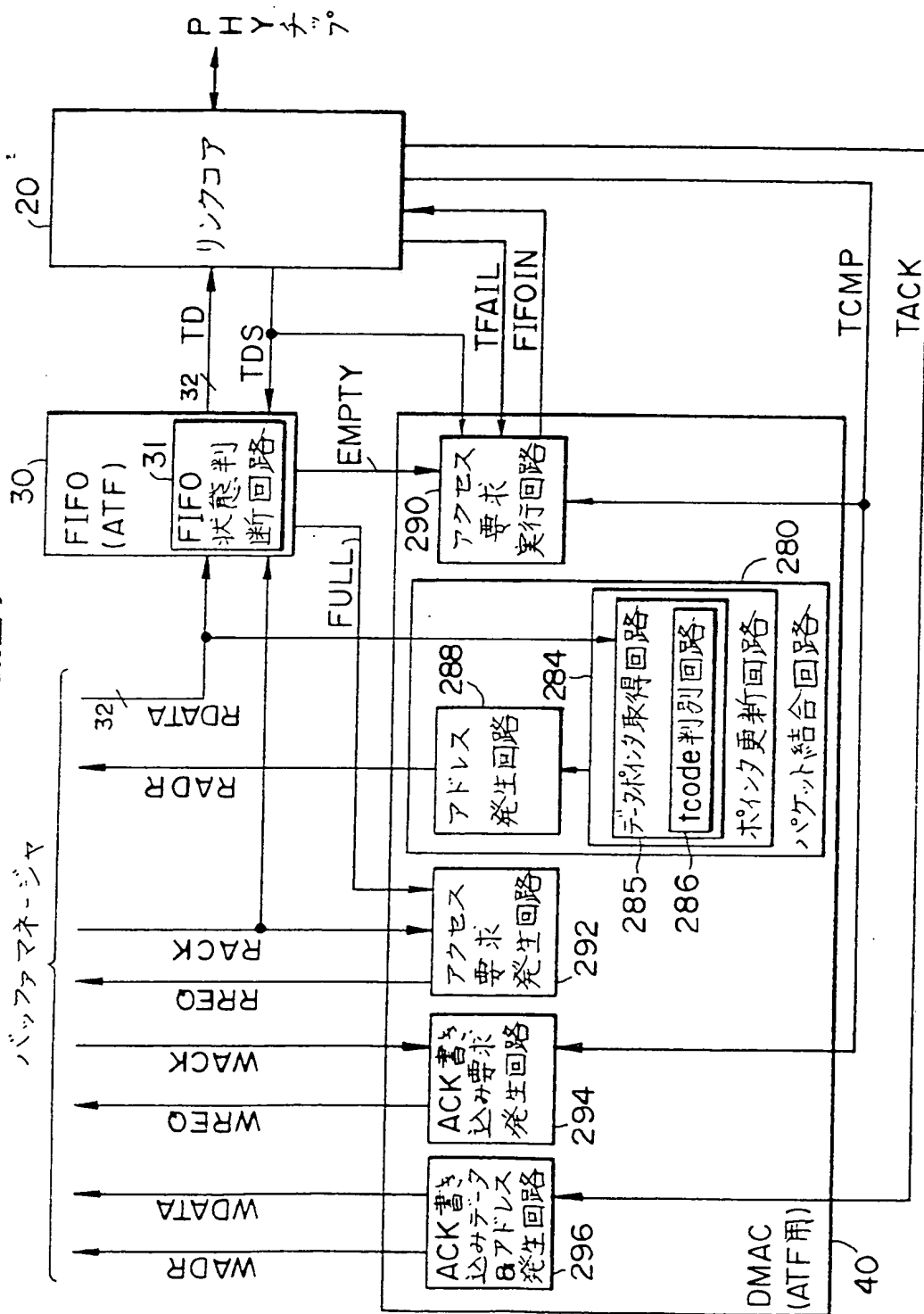
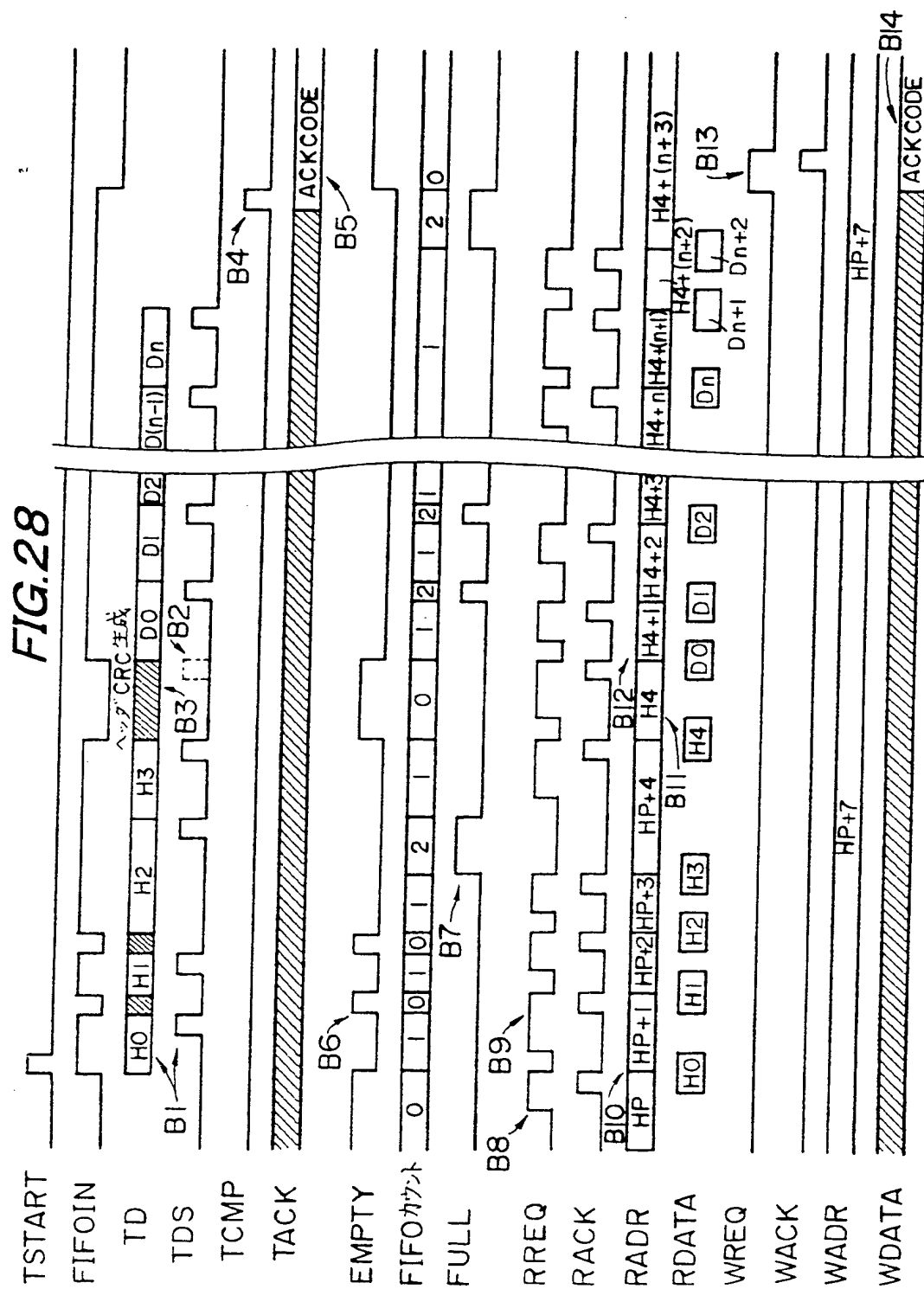
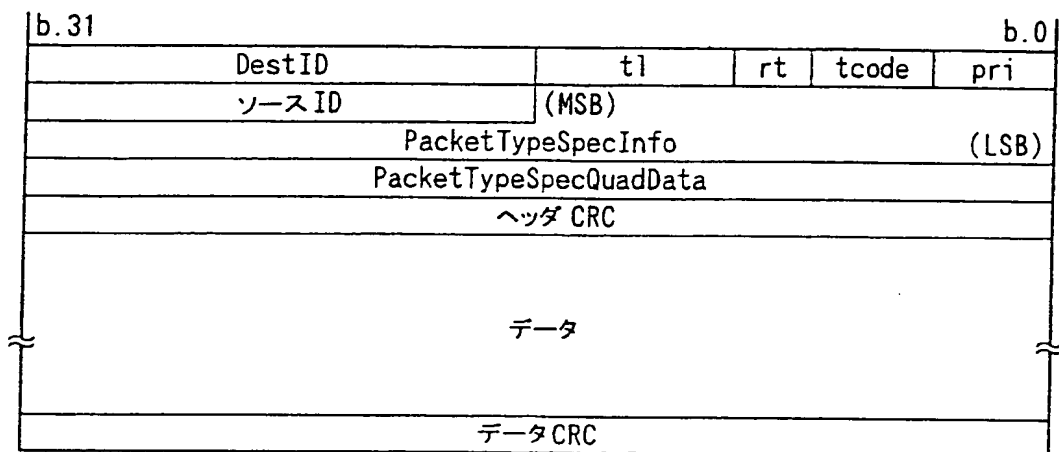


FIG.27





29/32

**FIG.29A****FIG.29B**

Txアシンクロナスパケット

ブロックライト要求,ブロックリード応答,ロック要求,ロック応答

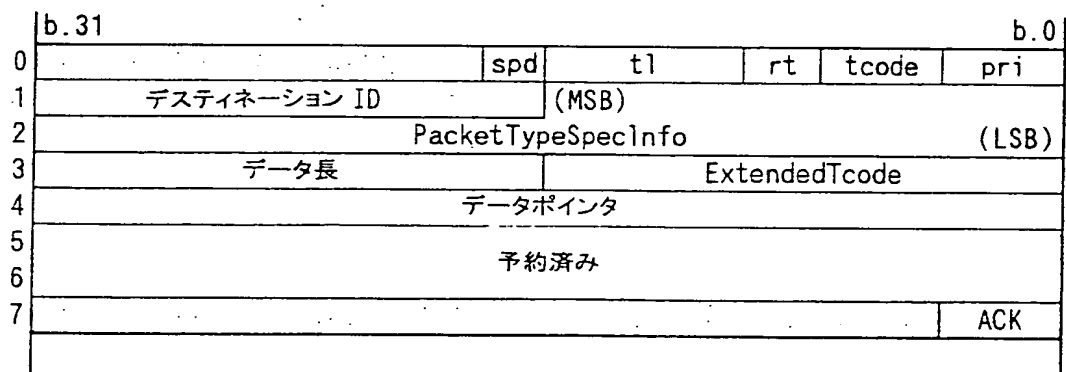


FIG.30B

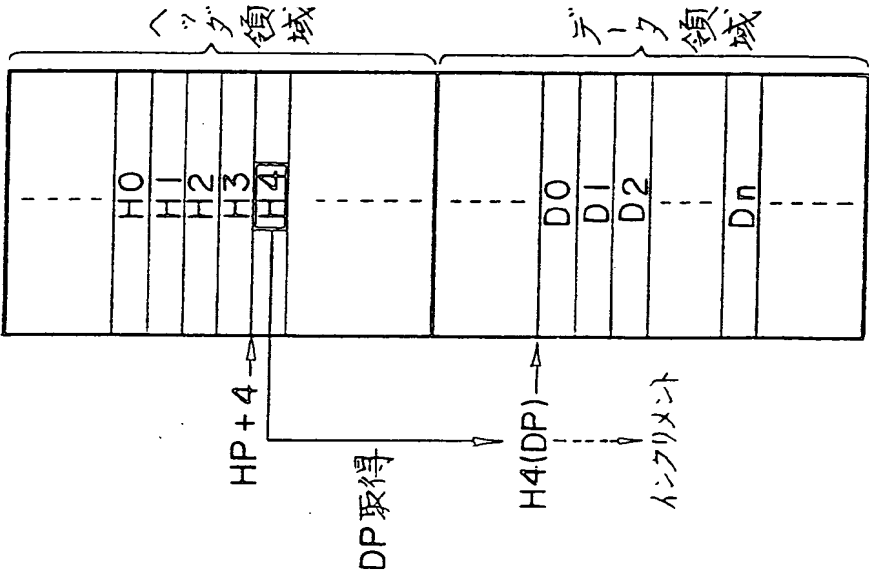
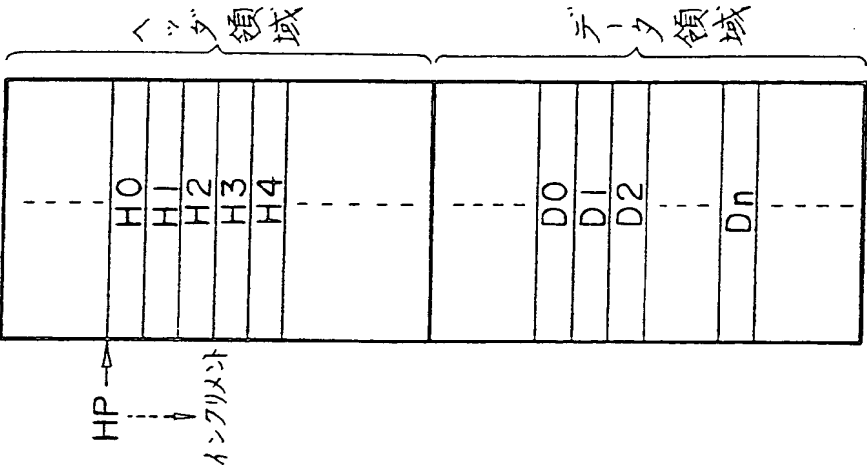


FIG.30A



31/32

FIG. 31A

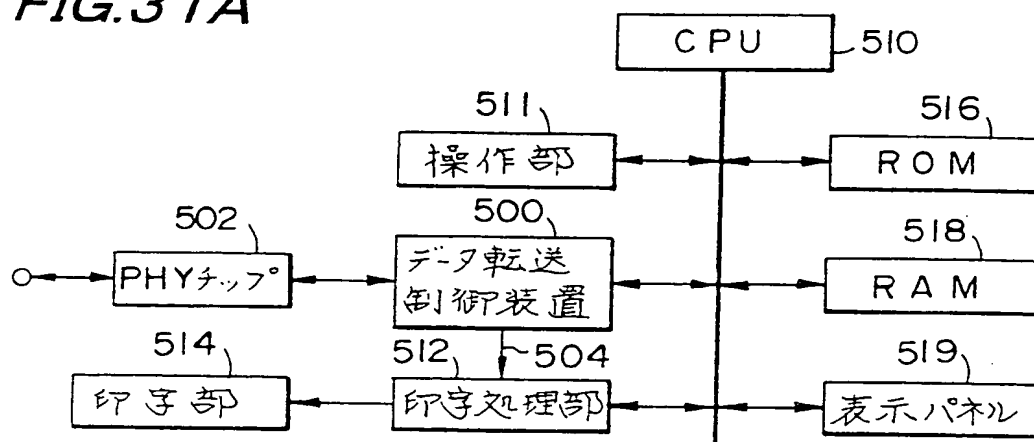


FIG. 31B

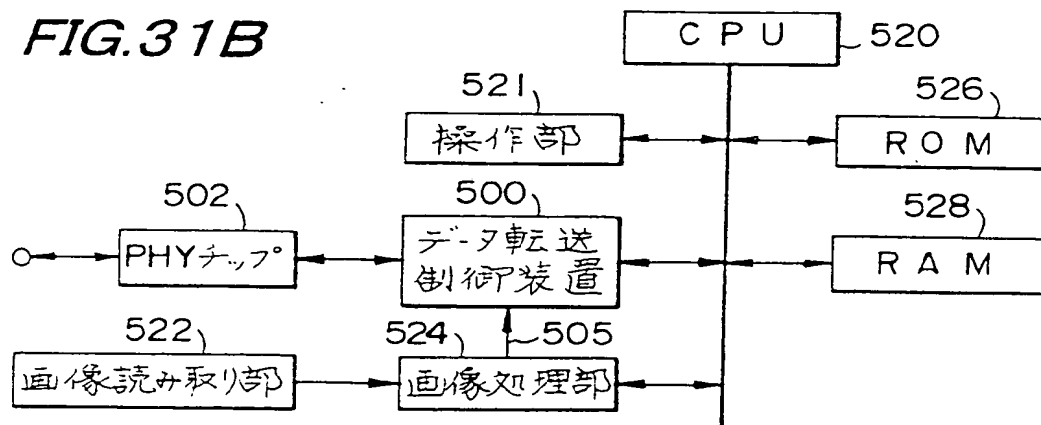
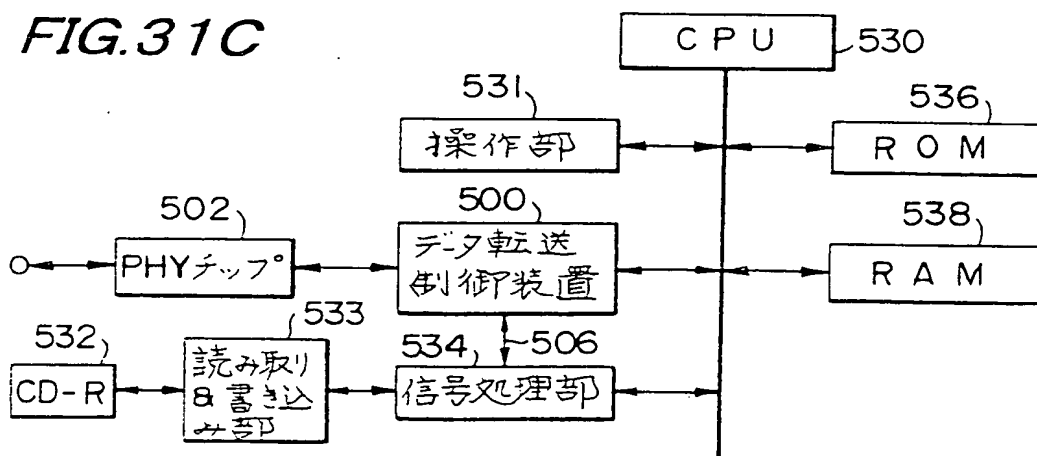
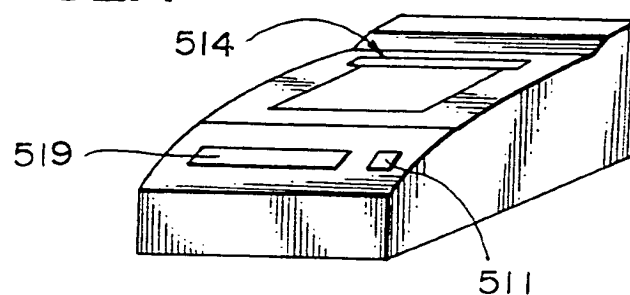


FIG. 31C

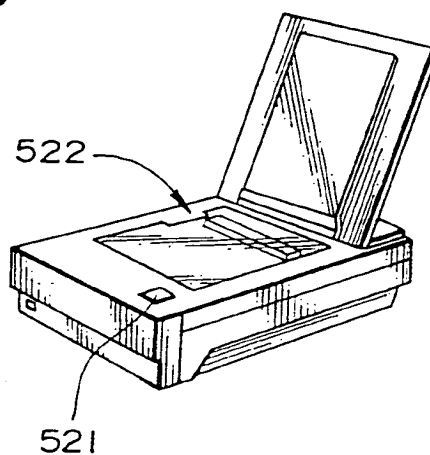


32/32

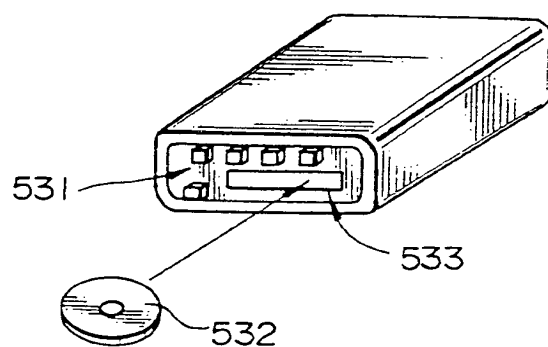
**FIG.32A**



**FIG.32B**



**FIG.32C**





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05904 -

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F 13/00  
H04L 29/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F 13/00  
H04L 29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-023101, A (Fujitsu Limited), 23 January, 1998 (23.01.98) (Family: none) Figs. 6, 8	1-34
A	EP, 803821, A2 (TEXAS INSTRUMENTS INC.), 29 October, 1997 (29.10.97) & JP, 10040211, A & KR, 97072830, A & US, 5983301, A Figs. 19, 20	1-34
EA	JP, 11-017743, A (Sony Corporation), 22 January, 1999 (22.01.99) (Family: none) Fig. 1, ADP	1-34
EA	JP, 11-007408, A (Sony Corporation), 12 January, 1999 (12.01.99) (Family: none) Figs. 3, 4,	1-34
A	Nikkei Electronics 1997.9.8 (NO.698), "Direct connection of digital steel cameras: connecting different type of machines by standardization", Pages.107-111 (PWG: Printer Working Group)	1-34

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not  
considered to be of particular relevance"E" earlier document but published on or after the international filing  
date"L" document which may throw doubts on priority claim(s) or which is  
cited to establish the publication date of another citation or other  
special reason (as specified)"O" document referring to an oral disclosure, use, exhibition or other  
means"P" document published prior to the international filing date but later  
than the priority date claimed"T" later document published after the international filing date or  
priority date and not in conflict with the application but cited to  
understand the principle or theory underlying the invention"X" document of particular relevance; the claimed invention cannot be  
considered novel or cannot be considered to involve an inventive  
step when the document is taken alone"Y" document of particular relevance; the claimed invention cannot be  
considered to involve an inventive step when the document is  
combined with one or more other such documents, such  
combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
25 January, 2000 (25.01.00)Date of mailing of the international search report  
08 February, 2000 (08.02.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP99/05904

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F 13/00  
H04L 29/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F 13/00  
H04L 29/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年  
日本国公開実用新案公報 (U) 1971-1999年  
日本国登録実用新案公報 (U) 1994-1999年  
日本国実用新案登録公報 (Y2) 1996-1999年

## 国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-023101, A (富士通株式会社) 23.01月.1998 (23.01.98), ファミリーなし 第6, 8図参照 (データをFIFOから読み出す時の位置を示すリードポイントを設ける構成)	1-34
A	EP, 803821, A2 (TEXAS INSTRUMENTS INC.) 29.10月.1997 (29.10.97) & JP, 10040211, A & KR, 97072830, A & US, 5983301, A, 19, 20図参照 (バケット制御リストによるデータ構造および連続転送の構成)	1-34
EA	JP, 11-017743, A (ソニー株式会社) 22.01月.1999 (22.01.99), ファミリーなし 第1図 ADP参照 (メモリ領域に応じて応答パケットを格納する)	1-34

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

25.01.00

国際調査報告の発送日

08.02.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

猪瀬 隆広

5X

9560

電話番号 03-3581-1101 内線 3594

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EA	JP, 11-007408, A (ソニー株式会社) 21. 01月. 1999 (12. 01. 99), フ ァミリーなし 第3, 4図 (メモリ領域にデータポインタを設ける)	1-34
A	日経エレクトロニクス 1997. 9. 8 (NO. 698), 「デジタル・スチル・ カメラを直結, 標準化で異機種間接続へ」, Pages. 107-111 (PWG: Printer Working Group 標準化動向の記事)	1-34



**THIS PAGE BLANK (USPTO)**